

특2001-0030391

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 43/08

(11) 공개번호 특2001-0030391
(43) 공개일자 2001년04월16일

(21) 출원번호	10-2000-0054152
(22) 출원일자	2000년09월15일
(30) 우선권 주장	1999-262327 1999년09월16일 일본(JP) 1999-263741 1999년09월17일 일본(JP) 2000-265653 2000년09월01일 일본(JP) 2000-265654 2000년09월01일 일본(JP)
(71) 출원인	카부시카이샤 도시바 도시바 무로타이쵸
(72) 발명자	일본국 가나가와현 가와사키시 사이와바구 호리가와조 72번지 미노마타 고이치로 일본미야기현센다이시미야마구구류 나카지마 나카지마 겐타로 일본가나가와현요코하마시야오바구미자키오조541-2오우무스미찌카와 61세 사카이 토요시미끼 일본가나가와현가와사키시미야마에후사키누마 49-20메를라자히카사파쿠로 스602 사카이 미사유끼 일본가나가와현요코하마시야오바구미자키오조25-3-14 카사다 쓰나미 일본가나가와현요코하마시야오바구미자키오조25-3-302 구영형, 장수길
(74) 대리인	구영형, 장수길

상세한 구조 있을

(54) 자기 저항 효과 소자 및 자기 메모리 장치

요약

제1, 반강자성층/제1 강자성층/제1 유전체층/제2 강자성층/제2 유전체층/제3 강자성층/제2 반강자성층이 적층된 강자성 이중 터널 접합을 갖는 자기 저항 효과 소자로서, 프리층인 제2 강자성층에 Co 가 합금 또는 Co 가 합금층이 Fe 합금/Co 가 합금으로 구성된 3층막으로 이루어지고, 제1 내지 제3 강자성층으로 터널 전류가 흐른다.

도면

도1

부호

강자성층, 반강자성층, 유전체층, 이중 터널 접합, 자기 저항 효과 소자, 터널 전류

발명

도면의 간단한 설명

도 1은 본 발명의 제1 자기 저항 효과 소자의 기본 구조를 나타내는 단면도.
도 2는 본 발명의 제2 자기 저항 효과 소자의 기본 구조를 나타내는 단면도.
도 3은 본 발명의 제3 자기 저항 효과 소자의 기본 구조를 나타내는 단면도.
도 4는 본 발명의 제4 자기 저항 효과 소자의 기본 구조를 나타내는 단면도.
도 5는 본 발명의 제4 자기 저항 효과 소자의 변형예의 기본 구조를 나타내는 단면도.
도 6은 MOS 트랜지스터와 강자성 이중 터널 접합 소자를 조합한 자기 메모리 장치(MRAM)의 등가 회로도.

- 도 7은 강자성 이중 터널 접합 소자의 편층이 비트선의 일부를 구성하는 도 6의 MRAM의 단면도.
 도 8은 다이오드와 강자성 이중 터널 접합 소자를 조합한 MRAM의 등가 회로도.
 도 9는 강자성 이중 터널 접합 소자의 편층이 비트선의 일부를 구성하는 도 8의 MRAM의 단면도.
 도 10은 본 발명의 다른 MRAM에 이용되는 강자성 이중 터널 접합 소자의 단면도.
 도 11은 본 발명의 다른 MRAM에 이용되는 강자성 이중 터널 접합 소자의 단면도.
 도 12는 본 발명의 다른 MRAM에 이용되는 강자성 이중 터널 접합 소자의 단면도.
 도 13은 본 발명에 따른 MRAM의 예를 나타내는 단면도.
 도 14는 본 발명에 따른 MRAM의 다른 예를 나타내는 단면도.
 도 15는 본 발명에 따른 자기 저항 효과 소자의 다른 예를 나타내는 단면도.
 도 16은 본 발명에 따른 자기 저항 효과 소자의 다른 예를 나타내는 단면도.
 도 17은 본 발명에 따른 자기 저항 효과 소자의 다른 예를 나타내는 단면도.
 도 18은 본 발명에 따른 터널 접합형 자기 저항 효과 소자를 포함하는 자기 저항 효과 헤드를 탑재한 자기 헤드 어셈블리의 사시도.
 도 19는 도 18에 도시된 자기 헤드 어셈블리를 탑재한 자기 디스크 장치의 내부 구조를 나타내는 사시도.
 도 20은 실시예 1의 시료 A 및 B의 자기 저항 효과 곡선을 도시한 도면.
 도 21은 실시예 1의 시료 A, B 및 C에 대해 자기 저항 변화율의 인가 전압 의존성을 도시한 도면.
 도 22는 실시예 1의 시료 A, B 및 C에 대해 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸 도면.
 도 23은 실시예 2의 시료 A2 및 B2의 자기 저항 효과 곡선을 도시한 도면.
 도 24는 실시예 2의 시료 A2, B2 및 C2에 대해 자기 저항 변화율의 인가 전압 의존성을 도시한 도면.
 도 25는 실시예 2의 시료 A2, B2 및 C2에 대해 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸 도면.
 도 26은 실시예 3의 시료 A3 및 B3의 자기 저항 효과 곡선을 도시한 도면.
 도 27은 실시예 3의 시료 A3, B3 및 C3에 대해 자기 저항 변화율의 인가 전압 의존성을 도시한 도면.
 도 28은 실시예 3의 시료 A3, B3 및 C3에 대해 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸 도면.
 도 29는 실시예 4의 시료 A4 및 B4의 자기 저항 효과 곡선을 도시한 도면.
 도 30은 실시예 4의 시료 A4, B4 및 C4에 대해 자기 저항 변화율의 인가 전압 의존성을 나타낸 도면.
 도 31은 실시예 4의 시료 A4, B4 및 C4에 대해 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸 도면.
 도 32는 실시예 5에 있어서의 편층이 비트선의 일부를 구성하는 자기 저항 효과 소자의 단면도.
 도 33은 실시예 5의 시료 A5 및 B5의 자기 저항 효과 곡선을 나타낸 도면.
 도 34는 실시예 5의 시료 A5, B5 및 C5에 대해 자기 저항 변화율의 인가 전압 의존성을 나타낸 도면.
 도 35는 실시예 5의 시료 A5, B5, C5 및 E5에 대해 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸 도면.
 도 36은 실시예 7의 시료 T1, T2 및 T3에 대해 접합 폭과 자기 저항 변화율과의 관계를 나타낸 도면.
 도 37은 실시예 7의 시료 T1, T2 및 T3에 대해 자기 저항 변화율의 인가 전압 의존성을 나타내는 도면.
 <도면의 주요 부분에 대한 부호의 설명>
 10, 20, 30, 40 : 자기 저항 효과 소자
 11, 24, 31 : 제1 반강자성층
 12, 21, 32, 41 : 제1 강자성층
 13, 22, 33, 42 : 제1 유전체층
 14, 23, 34, 43 : 제2 강자성층
 15, 26, 37, 48 : 제2 유전체층
 16, 25, 36, 45 : 제3 강자성층
 17, 35 : 제2 반강자성층
 27, 38, 47 : 제4 강자성층
 39 : 제3 반강자성층

49 제5 감자성층

44 제1 비자성층

46 제2 비자성층

본명의 상세한 설명

본명의 목적

본명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 감자성 이중 터널 접합을 갖는 자기 저항 효과 소자 및 그것을 이용한 자기 메모리 장치에 관한 것이다.

자기 저항 효과는 감자성체에 자장을 인가하면 전기 저항이 변화하는 현상이다. 이 효과를 이용한 자기 저항 효과 소자(MR 소자)는 온도 안정성에 우수하고 사용 온도 범위가 넓은 특징이 있기 때문에 자기 헤드나 자기 센서 등에 이용되고 최근에는 자기 메모리 장치(MRAM) 등에도 이용되기 시작하고 있다. 이들의 자기 저항 효과 소자는 외부 자계에 대해 감도가 크고 응답 속도가 빠르도록 요구된다.

최근에는 2개의 감자성층 사이에 유전체를 삽입한 샌드위치막을 포함하고, 막면에 소적으로 흐르는 터널 전류를 이용하는 자기 저항 효과 소자, 소위 감자성 터널 접합 소자(터널 접합형 자기 저항 효과 소자, TMR)가 발견되고 있다. 감자성 터널 접합 소자는 20% 이상의 자기 저항 변화율을 나타낸다(J. Appl. Phys. 79, 4724(1996)). 이 때문에 TMR을 자기 헤드나 자기 저항 효과 메모리로 응용할 수 있을 가능성이 높아졌다. 그러나, 이 감자성 싱글 터널 접합 소자에서는 원하는 출력 전압치를 얻기 위해 인가 전압을 늘리면 자기 저항 변화율이 상당히 감소하게 된다는 문제가 있다(Phys. Rev. Lett. 74, 3279(1995)).

또한, 감자성 싱글 터널 접합을 구성하는 한쪽의 감자성층에 접하여 반감자성층을 설치하고, 이 감자성층을 자화 교착층으로 한 구조를 포함하는 감자성 싱글 터널 접합 소자가 제안되고 있다(특개평 10-4227). 그러나 이 감자성 싱글 터널 접합 소자라도 마찬가지로 원하는 출력 전압치를 얻기 위해 인가 전압을 늘리면 자기 저항 변화율이 상당히 감소하게 된다는 문제가 있다.

한편, Fe/Be/Fe/Be/Fe라는 적층 구조를 형성한 감자성 이중 터널 접합을 갖는 자기 저항 효과 소자에 있어서는 소핀 편극 공명 터널 효과에 따라 큰 MR 변화율을 얻을 수 있게 된다는 것이 이론적으로 예상되고 있다(Phys. Rev. B56, 5484 (1997)). 그러나 이것은 저온(8K)에서의 결과로서 실온에서는 상기된 바와 같은 현상이 발생하는 것은 예상되지 않는다. 또, 이러한 예에서는 SiO₂, SiN 등의 유전체를 이용하지 않는다. 또한, 상기 구조의 감자성 이중 터널 접합 소자는 반감자성층에서 편된 감자성층이 없기 때문에 MRAM 등에 사용하면 몇번의 기압으로 인해 자화 교착을 일부의 자기 모멘트가 회전하는 결과로써 출력이 서서히 저하된다는 문제가 있다.

또한, 자성 임자를 분산시킨 유전체를 포함하는 감자성 다중 터널 접합 소자가 제안되고 있다(Phys. Rev. B56(10), R5747(1997); 응용 자기화학지 23, 4-22 (1999); Appl. Phys. Lett. 73(19), 2829(1998)). 이러한 소자들이더라도 20% 이상의 자기 저항 변화율을 얻을 수 있게 되었기 때문에 자기 헤드나 자기 저항 효과 메모리에의 응용이 기대되고 있다. 특히, 감자성 이중 터널 접합 소자는 인가 전압을 늘려도 자기 저항 변화율과 감도가 작다고 하는 미점이 있다. 그러나, 이러한 소자들이더라도 반감자성층에서 편된 감자성층이 없기 때문에, MRAM 등에 사용하면 몇번의 기압으로 인해 자화 교착을 일부의 자기 모멘트가 회전하는 결과로써, 출력이 서서히 저하된다는 문제가 있다. 또한, 연속적으로 이루어지는 감자성층을 이용한 감자성 이중 터널 접합 소자(App. Phys. Lett. 73(19), 2829(1998))에서는 유전체에 삽입된 감자성층이 Co, Ni, Fe 등의 단축막으로 이루어지기 때문에 전류 자계에 의해 자기 모멘트를 반전시키기 위한 반전 자장을 자유롭게 설계할 수 없다는 문제가 있는바다 자화 왜곡이 큰 Co 등을 가공하면 보자력(保磁力)이 커진다고 하는 문제도 있었다.

감자성 터널 접합 소자를 MRAM 등에 응용하는 경우 배선(비트선 또는 워드선)에 전류를 흘림에 따라 자화가 교착되지 않은 감자성층(프리층, 자기 기록층)에 외부 자계(전류 자계)를 인가하여 자기 기록층의 자화를 반전시킨다. 그러나, 메모리셀의 축소와 함께 자기 기록층의 자화의 반전에 필요한 자계(스위칭 자계)가 증가하고 기압을 위해 배선에 대전류를 흘릴 필요가 있다. 이 때문에, MRAM의 기압 용량의 증대와 함께 기압시 소비 전력이 증가한다. 예를 들면, 16b 이상의 교발도 MRAM 디바이스에서는 전류 자계에 의한 기압시 배선에 흘리는 전류 밀도가 증대하여 배선이 용융된다는 문제가 생길 우려도 있다.

이러한 문제에 대처하는 하나의 방법으로서 소핀 편극한 소핀 전류를 주입하고 자화 반전을 행하는 시도가 이루어지고 있다(J. Mag. Mag. Mat., 159(1996)나 J. Mag. Mag. Mat., 202(1999)157). 그러나, 소핀 전류를 주입하여 자화 반전을 행하는 방법에 따르면 TMR 소자를 흐르는 전류 밀도가 커지고 터널 접합층이 파괴될 우려가 있다. 또한, 소핀 주입에 적합한 소자 구조는 아직 제안되지 않는다.

본명이 이루고자 하는 기술적 과제

본 발명의 목적은, 원하는 출력 전압치를 얻기 위해 인가 전압을 늘리더라도 자기 저항 변화율이 그다지 감소하지 않고, 기압으로 인해 자화 교착을 일부의 자기 모멘트가 회전하여, 출력이 서서히 저하하는 문제도 없으며, 또한 감자성층의 모멘트를 반전시키기 위한 반전 자장을 자유롭게 설계할 수 있는 터널 접합형 자기 저항 효과 소자 및 자기 메모리 장치를 제공하는 것에 있다.

본 발명의 다른 목적은, 메모리셀의 축소에 따르는 자기 기록층의 자화를 반전시키기 위한 반전 자장의 증가를 억제할 수 있는 터널 접합형 자기 저항 효과 소자 및 자기 메모리 장치를 제공하는 것에 있다.

본 발명의 또 다른 목적은, 스핀 주입에 적합한 구조를 포함하고 배선 및 TMR 소자에 호르는 전류 밀도를 억제할 수 있는 자기 메모리 장치 및 이러한 자기 메모리 장치에의 기입 방법을 제공하는 것에 있다.

본 발명의 제1 자기 저항 효과 소자는, 제1 반강자성층/제1 강자성층/제1 유전체층/제2 강자성층/제2 유전체층/제3 강자성층/제2 반강자성층이 적층된 강자성 이중 터널 접합을 포함하고, 상기 제2 강자성층이 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지고, 상기 제1 내지 제3 강자성층에 터널 전류가 흐른다.

본 발명의 제2 자기 저항 효과 소자는, 제1 강자성층/제1 유전체층/제2 강자성층/제1 반강자성층/제3 강자성층/제2 유전체층/제4 강자성층이 적층된 강자성 이중 터널 접합을 포함하고, 상기 제1 및 제4 강자성층이 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지고, 상기 제1 내지 제4 강자성층에 터널 전류가 흐른다.

본 발명의 제3 자기 저항 효과 소자는, 제1 반강자성층/제1 강자성층/제1 유전체층/제2 강자성층/제2 반강자성층/제3 강자성층/제2 유전체층/제4 강자성층/제3 반강자성층이 적층된 강자성 이중 터널 접합을 포함하고, 상기 제1 및 제4 강자성층 또는 상기 제2 및 제3 강자성층이 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지고, 상기 제1 내지 제4 강자성층으로 터널 전류가 흐른다.

본 발명의 제4 자기 저항 효과 소자는, 제1 강자성층/제1 유전체층/제2 강자성층/제1 비자성층/제3 강자성층/제2 비자성층/제4 강자성층/제2 유전체층/제5 강자성층이 적층된 강자성 이중 터널 접합을 포함하고, 상호 인접하는 제2, 제3, 제4 강자성층이 비자성층을 통해 반강자성 결합하고 있고, 상기 제1 및 제5 강자성층이 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지고, 상기 제1 내지 제5 강자성층으로 터널 전류가 흐른다.

본 발명의 자기 저항 효과 소자에 있어서는, 상기 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막의 막 두께가 1~5nm인 것이 바람직하다.

본 발명의 자기 메모리 장치는, 트랜지스터 또는 다이오드와, 제1 내지 제4 중 어느 하나의 자기 저항 효과 소자를 갖는다.

본 발명의 자기 메모리 장치는, 트랜지스터 또는 다이오드, 제1 또는 제3 자기 저항 효과 소자를 포함하고, 상기 자기 저항 효과 소자 중 적어도 최상층의 반강자성층이 비트선의 일부를 구성하고 있다.

본 발명의 다른 자기 메모리 장치는, 자화 방향이 고정된 제1 자화 고정층과, 제1 유전체층과, 자화 방향이 반전 가능한 자기 기록층과, 제2 유전체층과, 자화 방향이 고정된 제2 자화 고정층을 포함하고, 상기 자기 기록층이, 자성층, 비자성층, 및 자성층의 3층막을 포함하고, 상기 3층막을 구성하는 2개의 자성층이 반강자성 결합하고, 상기 2개의 자화 고정층의 유전체층에 접하는 영역의 자화가 실질적으로 반평행이다.

본 발명의 또 다른 자기 메모리 장치는, 자화 방향이 고정된 제1 자화 고정층과, 제1 유전체층과, 자화 방향이 반전 가능한 자기 기록층과, 제2 유전체층과, 자화 방향이 고정된 제2 자화 고정층을 포함하고, 상기 자기 기록층이, 자성층, 비자성층, 및 자성층의 3층막을 포함하고, 상기 3층막을 구성하는 2개의 자성층이 반강자성 결합하고, 상기 제2 자화 고정층이, 자성층, 비자성층, 및 자성층의 3층막을 포함하고, 상기 3층막을 구성하는 2개의 자성층이 반강자성 결합하고, 상기 제1 자화 고정층의 길이가, 상기 제2 자화 고정층 및 상기 자기 기록층의 길이보다도 길게 형성되고, 상기 2개의 자화 고정층의 유전체층에 접하는 영역의 자화가 실질적으로 반평행이다.

이들의 자기 메모리 장치에의 기입 방법은, 자기 메모리 장치를 구성하는 상기 제1 또는 제2 자화 고정층을 통해 상기 자기 기록층에 스핀 전류를 공급함과 동시에, 기입용 배선에 전류를 흘려 상기 자기 기록층에 전류 자계를 인가한다.

본 발명의 또 다른 자기 저항 효과 소자는, 제1 반강자성층/제1 강자성층/제1 터널 절연층/제2 강자성층/제1 비자성층/제3 강자성층/제2 비자성층/제4 강자성층/제2 터널 절연층/제5 강자성층/제2 반강자성층이 적층된 강자성 이중 터널 접합을 포함하고, 제2 및 제3 강자성층이 제1 비자성층을 통해 반강자성 결합하고, 제3 및 제4 강자성층이 제2 비자성층을 통해 반강자성 결합하고 있다.

본 발명의 구성 및 작용

이하, 본 발명에 따른 자기 저항 효과 소자의 기본 구조를, 도 1 ~ 도 4를 참조하여 설명한다.

도 1에 본 발명의 제1 자기 저항 효과 소자를 나타낸다. 이 자기 저항 효과 소자(10)에서는, 제1 반강자성층(11)/제1 강자성층(12)/제1 유전체층(13)/제2 강자성층(14)/제2 유전체층(15)/제3 강자성층(16)/제2 반강자성층(17)을 적층하여 강자성 이중 터널 접합을 형성하고 있다. 이 소자에서는, 제1 내지 제3 강자성층에 터널 전류를 흘린다. 이 소자에서는, 제1 및 제3 강자성층(12, 16)이 핀층(자화 고정층), 제2 강자성층(14)이 프리층(MRAM의 경우에는 자기 기록층)이다. 제1 자기 저항 효과 소자로는, 프리층인 제2 강자성층(14)이 Co 기 합금(예를 들면 Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어진다.

도 2에 본 발명의 제2 자기 저항 효과 소자를 나타낸다. 이 자기 저항 효과 소자(20)에서는, 제1 강자성층(21)/제1 유전체층(22)/제2 강자성층(23)/제1 반강자성층(24)/제3 강자성층(25)/제2 유전체층(26)/제4 강자성층(27)을 적층하여 강자성 이중 터널 접합을 형성하고 있다. 이 소자에서는, 제1 내지 제4 강자성층에 터널 전류를 흘린다. 이 소자에서는, 제2 및 제3 강자성층(23, 25)이 핀층, 제1 및 제4 강자성층(21, 27)이 프리층(MRAM의 경우에는 자기 기록층)이다. 제2 자기 저항 효과 소자에서는, 프리층인 제1 강자성층(21, 27)이 Co 기 합금(예를 들면 Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어진다.

도 3에 본 발명의 제3 자기 저항 효과 소자를 나타낸다. 이 자기 저항 효과 소자(30)에서는, 제1 반강자성층(31)/제1 강자성층(32)/제1 유전체층(33)/제2 강자성층(34)/제2 반강자성층(35)/제3 강자성층(36)/제2 유전체층(37)/제4 강자성층(38)/제3 반강자성층(39)을 적층하여 강자성 이중 터널 집합을 형성하고 있다. 이 소자에서는, 제1 내지 제4 강자성층으로 터널 전류를 흘린다. 이 소자에서는, 제2 및 제3 강자성층(34, 36)을 편층으로 하여 설계한 경우에는 제1 및 제4 강자성층(32, 38)이 프리층(FRM)의 경우에는 자기 기록층이다. 한편, 제1 및 제4 강자성층(32, 38)을 편층으로 하여 설계한 경우에는 제2 및 제3 강자성층(34, 36)이 프리층(FRM)의 경우에는 자기 기록층이 된다. 제3 자기 저항 효과 소자에서는, 프리층으로서는, 예를 들어, 제1 및 제4 강자성층(32, 38), 또는 제2 및 제3 강자성층(34, 36) 중 어느 하나가 Co 기 합금(예를 들면, Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어진다.

도 4에 본 발명의 제4 자기 저항 효과 소자를 나타낸다. 이 자기 저항 효과 소자(40)에서는, 제1 강자성층(41)/제1 유전체층(42)/제2 강자성층(43)/제1 비자성층(44)/제3 강자성층(45)/제2 비자성층(46)/제4 강자성층(47)/제2 유전체층(48)/제5 강자성층(49)을 적층하여 강자성 이중 터널 집합을 형성하고 있다. 이 소자에서는, 제1 내지 제5 강자성층으로 터널 전류를 흘린다. 또한, 상호 인접하는 제2, 제3, 제4 강자성층(43, 45, 47)은 비자성층(44, 46)을 통해 반강자성 결합하고 있다. 이 소자에서는, 제2 내지 제4 강자성층(43, 45, 47)이 편층, 제1 및 제5 강자성층(41, 49)이 프리층(FRM)의 경우에는 자기 기록층이다. 제4 자기 저항 효과 소자에서는, 프리층인 제1 및 제5 강자성층(41, 49)이 Co 기 합금(예를 들면, Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어진다.

도 5에 제4 자기 저항 효과 소자의 변형예를 나타낸다. 도 5의 자기 저항 효과 소자에서는, 도 4의 제3 강자성층(45)을 대신하여 그 강자성층 중간에 반강자성층을 설치한 구조, 즉 강자성층(45a)/반강자성층(50)/강자성층(45b)의 3층막을 형성하고 있다.

또, 제4 자기 저항 효과 소자를 구성하는 제2 및 제4 강자성층(43, 47) 중 적어도 한쪽에 접착시켜 반강자성층을 설치해도 좋다.

본 발명에 따른 강자성 이중 터널 집합을 갖는 자기 저항 효과 소자는, 적어도 2층의 유전체층을 포함하므로, 하나의 터널 집합에 실효적으로 인가되는 전압이 작다. 이 때문에, 자기 저항 변화율의 전압 의존성이 현저하지 않고, 원하는 출력 전압치를 얻기 위해 인가 전압을 늘려도 자기 저항 변화율의 저하가 적다는 이점이 있다.

본 발명에 따른 강자성 이중 터널 집합을 갖는 자기 저항 효과 소자는, 상기한 4개의 기본 구조 모두, 자화 교착층(프층)의 소결이 반강자성층 또는 반강자성 결합에 의해 교착되어 있으므로, 기입을 반복해도 자화 교착층의 자기 모멘트가 회전하지 않고, 출력이 서서히 저하한다는 문제를 방지할 수 있다.

또한, 본 발명에 따른 자기 저항 효과 소자에서는, 프리층(자기 기록층)에 자화 외곽에 작은 Co 기 합금(Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막을 마킹하고 있다. 프리층은 도 1에서의 제2 강자성층(14), 도 2에서의 제1 및 제4 강자성층(21, 22), 도 3에서의 제1 및 제4 강자성층(32, 38), 또는 제2 및 제3 강자성층(34, 36) 중 어느 한 층(층들), 도 4 및 도 5에서의 제1 및 제5 강자성층(41, 49)이다. 이 때문에, 반전 자장이 적게 억제되고, 전류 자계를 인가하기 위해 배선에 걸리는 전류를 작게 할 수 있다. 프리층에 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막을 마킹한 경우, 각 층의 막 두께를 바꿈에 따라, 반전 자장의 크기를 자유롭게 설계할 수 있다.

특히, 도 3의 구조를 포함하는 자기 저항 효과 소자에서는, 반전 자장은 자성체의 보자력이 아니고 자성체/반강자성체의 계면에 생기는 교환 자장으로 결정된다. 그리고, 이 교환 자장은 제1 및 제3 반강자성층(31, 39) 및 제2 반강자성층(35)의 종류, 막 두께, 합금 조성을 바꿈에 따라 자유롭게 설계할 수 있다. 이점이 있다. 이 때문에, 도 3의 기본 구조는, 상술된 4개의 기본 구조 중에서도 바람직한 특성을 나타낸다. 또한, 도 3의 구조는, 가공 치수가 서브 마이크로미터 되고 집합 면적이 매우 작아도 특히 유효하다. 즉, 가공 치수가 서브 마이크로미터 된 경우에는, 기입하여 자장이 가공 손상이나 프리층(자기 기록층)의 도메인의 영역에 따라 변동되기 쉬워진다. 이에 대해, 도 3의 구조와 같이 프리층(자기 기록층)에 접하여 반강자성층이 설치되는 경우, 기입 자장을 교환 자장에 기초하여 설계할 수 있기 때문에, 기입 자장의 변동을 회피할 수 있다. 이 때문에, 소자의 수율도 현저히 향상시킬 수 있다.

한편, 본 발명의 자기 저항 효과 소자를 미세 가공할 때, 가공 정밀도를 올리기 위해서는 전체의 막 두께가 얇은 것이 바람직하다. 이 점에서, 도 2, 도 4 또는 도 5와 같이 반강자성층이 가능한 한, 적은 구조가 바람직하다.

다음에, 본 발명의 자기 저항 효과 소자를 구성하는 각 층에 이용되는 재료에 대해 설명한다.

프리층(자기 기록층)에는, 상술된 바와 같이 Co 기 합금(Co-Fe, Co-Fe-Ni 등) 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막이 이용된다. 또한, 이들의 합금에 Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, S, Pt, Pr, Zr, Ir, W, Mo, Nb 등의 비자성 원소를 다소 첨가해도 좋다. 본 발명의 자기 저항 효과 소자는, 자기 저항 효과형 자기 헤드, 자기 메모리 장치, 자기 센서 등에 적용할 수 있으므로 이를 중도로는 프리층에 일률 이방성을 부여하는 것이 바람직하다.

프리층의 두께는, 0.1nm~100nm이 바람직하고, 0.5~50nm이 보다 바람직하고, 1~5nm이 가장 바람직하다. 프리층의 두께가 1nm 미만이면, 프리층이 연속막이 되지 않고, 유전체층 중에 강자성 입자가 분산된, 소위 그라놀러 구조가 될 우려가 있다. 이 결과, 집합 특성의 제어가 곤란하여 소위층 자장이 변동될 우려가 있을 뿐만 아니라 미립자의 크기 때문에 실온에서 초상자성이 되어 MR 변화율이 극단적으로 저하되는 문제도 생긴다. 한편, 프리층의 두께가 5nm를 넘으면, 자기 저항 효과 소자를 MRAM에 응용하는 데 있어서 예를 들면 0.25μm 이하로 소자를 설계했을 때, 반전 자장이 1000e를 넘기 때문에 배선에 대전류를 흘릴 필요가 생긴다. 또한, 프리층의 두께가 5nm를 넘으면, MR 변화율이 바이어스 전압의 상승과 동시에 저하하는, 소위 바이어스 의존성이 현저해진다. 프리층의 두께가 1~5nm의 범위이면, 미세화에 따른 반전 자장의 증대 및 MR 변화율의 바이어스 의존성이 억제된다. 또한, 프리층의 두께가 이 범위

이면, 가공 정밀도도 양호해진다.

핀층의 재료는 특별히 제한되지 않고, Fe, Co, Ni 또는 이들의 합금, 스피너 분극율이 큰 마그네타이트, CrO_2 , R_2MnO_4 (R: 희토류, X: Ca, Ba, Sr) 등의 산화물, NiMnSb , PtMnSb 등의 포이슬러 합금등을 이용할 수 있다. 핀층은 초상자성이 되지 않을 정도의 두께가 필요하고, 0.4nm 이상인 것이 바람직하다. 또한, 강자성을 잃지 않는 한 이들 자성체에 Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Si, Pd, Pt, Zr, Ir, W, Mo, Nb 등의 비자성 원소를 다소 첨가해도 좋다.

또, 반강자성층에 의해 핀층을 강하게 고착하고 싶은 경우, 핀층으로서 강자성층/비자성층/강자성층의 3층막을 이용하여, 비자성층을 통해 적층된 2층의 강자성층을 반강자성 결합시켜도 좋다. 비자성층의 재료는 특별히 한정되지 않고 Ru, Ir, Cr, Co 등의 금속을 이용할 수 있다. 비자성층의 막 두께를 조정함으로써, 자성 층간에 반강자성 결합이 생긴다. 비자성층의 막 두께는 0.5~2.5nm인 것이 바람직하다. 내열성 및 반강자성 결합의 강도등을 고려하면, 비자성층의 막 두께는 0.7~1.3nm 인 것이 보다 바람직하다. 구체적으로는, Co(또는 Co-Fe)/Ru/Co(또는 Co-Fe), Co(또는 Co-Fe)/Ir/Co(또는 Co-Fe) 등의 3층막을 들 수 있다.

반강자성층의 재료로는 Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn, NiO, FeO 등을 이용할 수 있다.

유전체층의 재료로서는, Al_2O_3 , SiO_2 , MgO , AlN , Bi_2O_3 , MgF_2 , CaF_2 , SrTiO_3 , AlLaO_3 등을 이용할 수 있다.

유전체층은 산소, 질소 또는 불소의 결손이 생기기도 한다. 유전체층의 두께는 특별히 한정되지 않지만, 얇은 것이 바람직하고 10nm 이하, 또한 5nm 이하인 것이 바람직하다.

본 발명의 자기 저항 효과 소자가 형성되는 기판은 특별히 한정되지 않고, Si, SiO_2 , Al_2O_3 , 절정석, KFN 등 각종 기판을 이용할 수 있다. 본 발명에서는, 기판 상에 기초층을 통해 자기 저항 효과 소자를 적층해도 되고, 또한 자기 저항 효과 소자의 상부에 보호층을 설치해도 좋다. 이들의 기초층 및 보호층의 재료로서는, Ta, Ti, W, Pt, Pd, Au, Ti/Pt, Ta/Pt, Ti/Pd, Ta/Pd, 또는 TiNx 등의 질화물등을 이용하는 것이 바람직하다.

본 발명에 따른 자기 저항 효과 소자는, 각종 스터퍼법, 증착법, 분자선 에피택셜법등의 통상의 성막 방법을 이용하여 각 층을 형성함으로써 제조할 수 있다.

이어서, 본 발명의 자기 저항 효과 소자를 적용한 자기 메모리 장치(MRAM)에 대해 설명한다. 본 발명의 자기 저항 효과 소자를 적용하는 MRAM은 비파괴 판독 및 파괴 판독 중 어느 한 경우라도 상술된 전류-자계를 인가하기 위해 배선에 걸리는 전류를 작게 할 수 있다는 효과를 얻을 수 있다.

구체적인 MRAM의 형태에서는 트랜지스터 상에 강자성 이중 터널 접합 소자를 적용한 구조, 또는 다이오드와 강자성 이중 터널 접합 소자를 적용한 구조를 생각할 수 있다. 이하에 설명된 바와 같이, 이들의 구조에서는 특히 제1 또는 제3 강자성 이중 터널 접합 소자를 적용하고 적어도 최상층의 반강자성층을 비트선의 일부로서 이용하는 것이 바람직하다.

도 6 및 도 7을 참조하여, MOS 트랜지스터 상에 예를 들면 제1 강자성 이중 터널 접합 소자(도 1)를 적용한 구조를 포함하는 MRAM을 설명한다. 도 6은 3×3 셀의 MRAM의 등가 회로도, 도 7은 1셀의 MRAM의 단면도를 도시한다.

도 6의 등가 회로도면에 도시한 바와 같이, 트랜지스터(60)와 도 1의 강자성 이중 터널 접합 소자(TMR; 10)로 이루어지는 기록 셀은 매트릭스형으로 배열되어 있다. 트랜지스터(60)의 게이트 전극으로 이루어지는 판독용의 워드선(WL1; 62)과, 기입용의 워드선(WL2; 71)과는 평행하게 배치되어 있다. 또한 TMR(10)의 타단(상부)과 접속된 비트선(BL; 74)은, 워드선(WL1; 62) 및 워드선(WL2; 71)과 직교하여 배치되어 있다.

도 7에 도시한 바와 같이, 실리콘 기판(61), 게이트 전극(62), 소스, 드레인 영역(63, 64)으로 이루어지는 트랜지스터(60)가 형성되어 있다. 게이트 전극(62)은 판독용의 워드선(WL1)을 구성하고 있다. 게이트 전극(62) 상에는 절연층을 통해 기입용의 워드선(WL2; 71)이 형성되어 있다. 트랜지스터(60)의 드레인 영역(64)에는 콘택트 메탈(72)이 접속되고, 또한 콘택트 메탈(72)에는 기초층(73)이 접속되어 있다. 이 기초층(73) 상의 기록 용의 워드선(WL2; 71)의 상층에 대응하는 위치에서, 도 1에 도시된 바와 같은 강자성 이중 터널 접합 소자(TMR; 10)가 형성되어 있다. 즉, 기초층(73) 상에, 제1 반강자성층(11)/제1 강자성층(핀층; 12)/제1 유전체층(13)/제2 강자성층(프리층; 14)/제2 유전체층(15)/제3 강자성층(핀층; 16a, 16b)/제2 반강자성층(17)이 적층되어 있다. 이 예에서는, 핀층을 참조 번호(16a, 16b)의 2층으로 구성하고 있다. 이 TMR(10)의 제2 반강자성층(17) 상에 비트선(BL; 74)의 금속층이 형성되고 있다.

도 7에 도시한 바와 같이, 프리층인 제2 강자성층(14)의 면적과 상부의 반강자성층(17) 및 핀층(16b)의 면적과는 달리, 상부의 반강자성층(17) 및 핀층(16b)은 비트선(74)의 일부를 구성하고 있다. 즉, 비트선(74)은 핀층(16b)/반강자성층(17)/금속층의 적층체로 이루어져 있다. 또, 반강자성층(17) 밑에 반강자성층(17)과 동일 면적의 핀층(16b)을 설치하지 않고, 비트선(74)을 반강자성층(17)/금속층으로 구성해도 좋다.

이 구조에서는, 큰 면적을 갖는 반강자성층(17)에 의해 핀층(16b, 16a)의 스피너를 보다 안정적으로 고착할 수가 있어, 기입을 반복해도 핀층(16b, 16a)의 자기 모멘트가 회전하지 않고 출력의 저하를 유효하게 방지할 수 있다.

또한, TMR(10)의 프리층 14보다 상부의 구조는 프리층(14)/제2 유전체층(15)/핀층(16a)의 성막 및 패터닝과, 핀층(16b)/반강자성층(17)/금속층의 성막 및 패터닝에 의해 형성된다. 종래 DRP는, TMR(10)의 프리층(14)보다 상부의 구조는, 프리층(14)/제2 유전체층(15)/핀층(16)/반강자성층(17)의 성막 및 패터닝과, 비트선 금속층의 성막 및 패터닝에 의해 형성되어 있었다. 따라서, 도 7의 구조를 채용하면, 비교적 막 두께가 두꺼운 반강자성층(17)의 패터닝 공정이 다른 공정으로 분리되므로, 상기한 최초의 패터닝으로는 한번에 미세 가공해야 할 막 두께를 얇게 할 수 있게 된다. 이 때문에, 강자성 터널 접합부의 가공 손상

을 적게 할 수 있음과 동시에, 가공 정밀도를 향상시킬 수 있다.

도 8 및 도 9를 참조하여, 다이오드와 예를 들면 제1 강자성 터널 접합 소자 (도 1)를 적용한 구조를 포함하는 MRAM을 설명한다. 도 8은 3×3 셀의 MRAM의 등가 회로도, 도 9는 MRAM의 사시도이다.

도 8의 등가 회로도에 도시된 바와 같이, 다이오드 (80)와 TMR (10)와의 적층체로 이루어지는 기록 셀은 매트릭스형으로 배열되어 있다. 다이오드 (80)와 TMR (10)의 적층체는 워드선 (WL, 91) 상에 형성되고, 타이오드 (80)의 일단과 워드선 (WL, 91)과가 접속되어 있다. TMR (10)의 타단에는, 워드선 (WL, 91)과 직교하고 배치된 비트선 (BL, 92)이 접속되어 있다.

도 9에 도시된 바와 같이, 워드선 (WL, 91)의 금속층 상에, 실리콘 타이오드 (80)가 형성되고, 그 위에 기조층 (81)이 형성되어 있다. 원자 확산을 막기 위해 금속층과 실리콘 다이오드 사이에 TiN 등의 절화막을 설치해도 좋다. 이 기조층 (81) 상에, 도 1에 도시된 바와 같은 강자성 이중 터널 접합 소자 (TMR, 10)가 형성되어 있다. 즉, 기조층 (81) 상에, 제1 반강자성층 (11)/제1 강자성층 (핀층, 12)/제1 유전체층 (13)/제2 강자성층 (핀층, 14)/제2 유전체층 (15)/제3 강자성층 (핀층, 16a, 16b)/제2 반강자성층 (17)이 적층되어 있다. 이 예에서는, 핀층을 참조 번호 (16a, 16b)의 2층으로 구성하고 있다. 이 TMR (10)의 제2 반강자성층 (17) 상에 비트선 (BL, 92)의 금속층이 형성되어 있다.

이러한 구조의 MRAM에서도, 도 7를 참조하여 설명한 것과 동일한 효과를 얻을 수 있다. 즉, 큰 면적을 포함하는 반강자성층 (17)에 의해, 핀층 (16a, 16b)의 소피를 보다 안정적으로 고착할 수 있다. 기입을 반복해도 핀층 (16a, 16b)의 자기 모멘트가 회전하지 않고, 불력의 저하를 무효하게 방지할 수 있다. 또한, 비고착 및 두께가 두꺼운 반강자성층 (17)의 패턴화 공정이 다른 공정으로 분리되므로, 강자성 터널 접합 소자의 가공 손상을 적게 할 수 있음과 동시에, 가공 정밀도를 향상시킬 수 있다.

또, MRAM의 등도에서는, 핀층에 강자성층/비자성층/강자성층의 3층막을 사용하며, 비자성층을 통해 강자성층을 반강자성 결합시켜도 좋다. 이러한 구성에서는 자석이 3층막 내에서 패쇄되어 있기 때문에, 전류 자체에 의해, 핀층의 자기 모멘트를 반전시켰을 때, 핀층으로의 자기장의 영향이 없어지고 동시에, 전류로부터의 고열 자석을 작게 할 수 있기 때문에, 소위장 자체를 작게 할 수 있다. 이 때문에, 기입으로 인해, 자화 고착층의 일부의 자기 모멘트가 회전하며, 불력이 서서히 저하한다는 문제가 없어진다. 이 구성에서는, 강자성층/비자성층/강자성층 중, 전류 자체를 인가하기 위한 워드선에 가까운 쪽의 강자성층을 보다, 소피트한 강자성체로 형성하거나, 막 두께를 보다 두껍게 하는 것이 바람직하다. 3층막을 구성하는 2개의 강자성층의 막 두께를 다르게 한 경우, 막 두께의 차를 0.5~5nm의 범위로 하는 것이 바람직하다.

본 발명에 따른 다른 MRAM에 대해 설명한다. 이 MRAM은, 자화 방향이 고착된 제1 자화 고착층과, 제1 유전체층과, 자화 방향이 반전 가능한 자기 기록층과, 제2 유전체층과, 자화 방향이 고착된 제2 자화 고착층을 포함하는 강자성 이중 터널 접합 소자를 포함한다. 그리고, 자기 기록층은, 자성층, 비자성층, 및 자성층의 3층막을 포함하고, 이 3층막을 구성하는 2개의 자성층이 반강자성 결합하고 있다. 이와 같이, 2개의 자성층이 반강자성 결합하면, 자기 기록층에서 자석이 패쇄하고 있으므로, 소위장 자체를 저감시킬 수 있고, 배선에 걸리는 전류 밀도를 저감시킬 수 있다. 또한, 2개의 자화 고착층의 유전체층에 접하는 영역의 자화가 실질적으로 반평행하다. 이 때문에, 2개의 자화 고착층 중 어느 쪽을 통해 자기 기록층에 전류를 흘릴지를 선택함으로써, 자기 기록층에 인 소피 전류 또는 다른 소피 전류를 공급하는 것을 선택할 수 있다. 이 때문에, 소피 전류의 공급 방향을 변화시켜 자기 기록층의 자화를 용이하게 반전시킬 수 있다. TMR 소자에 걸리는 전류를 저감시킬 수 있다. 이와 같이, 이 MRAM은, 자기 기록층에 소피 전류를 공급함과 동시에 전류 자체를 인가하는데 적합한 구조를 갖고 있고, 배선 및 TMR 소자에 걸리는 전류 밀도를 억제할 수 있다.

상기된 강자성 이중 터널 접합 소자를 구성하는 반강자성 결합한 자기 기록층은, 강자성층과 비자성 금속층을 교대로 적층함으로써 용이하게 제작할 수 있다. 반강자성 결합한 자기 기록층은 막 두께가 얇을 때, 용이하게 미세 가공할 수 있기 때문에, 강자성층/비자성 금속층/강자성층으로 이루어지는 3층막인 것이 바람직하다. 또한, 반강자성 결합한 강자성층으로서 강자성층/소프트 자성층/강자성층으로 이루어지는 3층막을 이용해도 좋다. 특히, 강자성층으로서 Co-Fe, (0.5~4 at.%)를 이용한 경우, 2개의 Co-Fe 층 사이에 예를 들면 Ni-Fe 합금으로 이루어지는 얇은 소프트 자성층을 삽입하면, 소위장 자체를 작게 할 수 있다. 이것은 Ni-Fe 합금층이 fcc(111) 배향하고, 그 상부의 Co-Fe 층도 fcc(111) 배향이 되고, Co-Fe 자체의 소위장 자체가 저감하는 것, 및 강자성층의 도말의 자화의 값이 작아지는 것에 따른 것이다.

따라서, 반강자성 결합한 자기 기록층의 예로는, (a) 강자성층/비자성층/강자성층, (b) 강자성층/소프트 자성층/강자성층/비자성층/강자성층, (c) 강자성층/소프트 자성층/강자성층/비자성층/(강자성층/소프트 자성층/강자성층) 등을 예로 들 수 있다. 이 경우, 반강자성 결합의 강도는 0.5erg/cm 이상으로 어느 정도 큰 것이 바람직하다. 자화 고착막도, 자기 기록층과 동일한 적층 구조로 하고, 반강자성 결합시켜도 좋다.

도 10~도 12를 참조하여, 이 MRAM에 이용되는 강자성 이중 터널 접합 소자의 예를 설명한다.

도 10의 강자성 이중 터널 접합 소자는, 기조층 (101)/제1 반강자성층 (102)/제1 자화 고착층 (103)/제1 유전체층 (104)/강자성층 (105a), 비자성층 (105b), 및 강자성층 (105c)의 3층막으로 이루어지는 자기 기록층 (105)/제2 유전체층 (106)/제2 자화 고착층 (107)/제2 반강자성층 (108)/보호층 (109)을 적용한 구조를 포함한다.

자기 기록층 (105)의 강자성층 (105a) 및 강자성층 (105c)은 반강자성 결합하고 있다. 제1 유전체층 (104)에 접하는 제1 자화 고착층 (103)과, 제2 유전체층 (106)에 접하는 제2 자화 고착층 (107)은, 각각의 자화가 반평행하게 되어 있다.

도 11의 강자성 이중 터널 접합 소자는, 기조층 (111)/제1 반강자성층 (112)/제1 자화 고착층 (113)/제1 유

전체층(114)/강자성층(115a), 비자성층(115b) 및 강자성층(115c)의 3층막으로 이루어지는 자기 기록층(115)/제2 유전체층(116)/강자성층(117a), 비자성층(117b) 및 강자성층(117c)의 3층막으로 이루어지는 제2 자화 고착층(117)/제2 반강자성층(118)/보호층(119)을 적용한 구조를 포함한다.

자기 기록층(115)의 강자성층(115a) 및 강자성층(115c)은 반강자성 결합하고 있다. 제2 자화 고착층(117)의 강자성층(117a) 및 강자성층(117c)은 반강자성 결합하고 있다. 제1 유전체층(114)에 접하는 제1 자화 고착층(113)과, 제2 유전체층(116)에 접하는 제2 자화 고착층(117)을 구성하는 강자성층(117a)은, 각각의 자화가 반평행하게 되어 있다.

이 경우, 제1 자화 고착층(113)의 길이를, 제2 자화 고착층(117) 및 자기 기록층(115)의 길이보다도 길게 형성하여 금속 배선을 겸하도록 하는 것이 바람직하다. 이러한 구성에서는, 제2 자화 고착층(117)이라도 자기 기록층(115)이라도 자속이 폐쇄되어 있고 더구나 함께 형성된 제1 자화 고착층(113)으로부터의 무질 자속은 거의 영향이 없으므로, 인접하는 기록층으로의 정자장의 영향을 저감시킬 수 있다.

도 12의 강자성 이중 터널 접합 소자는, 기초층(121)/제1 반강자성층(122)/강자성층(123a), 비자성층(123b) 및 강자성층(123c)의 3층막으로 이루어지는 제1 자화 고착층(123)/제1 유전체층(124)/강자성층(125a), 비자성층(125b) 및 강자성층(125c)의 3층막으로 이루어지는 자기 기록층(125)/제2 유전체층(126)/강자성층(127a), 비자성층(127b), 강자성층(127c), 비자성층(127d), 강자성층(127e)의 오층막으로 이루어지는 제2 자화 고착층(127)/제2 반강자성층(128)/보호층(129)을 적용한 구조를 포함한다.

자기 기록층(125)의 강자성층(125a) 및 강자성층(125c)은 반강자성 결합하고 있다. 제1 자화 고착층(123)의 강자성층(123a) 및 강자성층(123c)은 반강자성 결합하고 있다. 제2 자화 고착층(127)의 강자성층(127a), 강자성층(127c) 및 강자성층(127e)은 반강자성 결합하고 있다. 제1 유전체층(124)에 접하는 제1 자화 고착층(123)을 구성하는 강자성층(123a)과, 제2 유전체층(126)에 접하는 제2 자화 고착층(127)을 구성하는 강자성층(127a)은, 각각의 자화가 반평행하게 있다. 이 경우도, 도 11과 마찬가지로, 제1 자화 고착층(123)의 길이를, 제2 자화 고착층(127) 및 자기 기록층(125)의 길이보다도 길게 형성되도록 한다.

도 13에, 도 11의 강자성 이중 터널 접합 소자를 이용한 MRAM의 단면도를 나타낸다. 'S1' 기판(151) 상의 S10 절연층에는 홀이 형성되고, 이 홀에 매립된 금속으로 이루어지는 워드선(152)이 형성되어 있다. 워드선(152) 상에는 S10 절연층이 형성되고, 그 위에 금속 배선(153)과 강자성 이중 터널 접합 소자(TMR 소자)가 형성되어 있다. 이 TMR 소자는, 도 11에 도시된 바와 같이, 기초층(111)/제1 반강자성층(112)/제1 자화 고착층(113)/제1 유전체층(114)/강자성층(115a), 비자성층(115b) 및 강자성층(115c)의 3층막으로 이루어지는 자기 기록층(115)/제2 유전체층(116)/강자성층(117a), 비자성층(117b) 및 강자성층(117c)의 3층막으로 이루어지는 제2 자화 고착층(117)/제2 반강자성층(118)/보호층(119)을 적용한 구조를 포함한다. 이 TMR 소자는 소정의 접합 면적이 되도록 가공되어 있고, 그 주위에는 홀과 절연막이 성형되어 있다. 이 홀과 절연막 상에는, TMR 소자의 보호층(119)과 접속하는 비트선(154)이 형성되어 있다.

이 MRAM에서는, 워드선(152)에 전류를 흘려 자기 기록층(115)에 전류 자계(예를 들면, 포만족 방향)를 인가함과 동시에, 비트선(154)으로부터 각 홀을 통해 자기 기록층(115)으로 다른 소핀 전류를 주입하는지 또는 금속 배선(153)으로부터 각 홀을 통해 자기 기록층(115)으로 업 소핀 전류를 주입함으로써, 자기 기록층(115)의 자화를 반전시켜 가입을 행한다. 이와 같이, 자기 기록층(115)으로 소핀 전류를 주입함과 동시에 전류 자계를 인가하여 가입을 행하면, TMR 소자에 흐르는 소핀 전류를 저감시킴과 동시에 배선에 배선(워드선)으로 흐르는 전류 밀도를 저감시킬 수 있다. 따라서, 16b 미만의 MRAM이라도, 배선의 용량 또는 TMR 소자의 터널 배리어층(유전체층)의 파괴를 억제할 수 있어, 신뢰성을 향상시킬 수 있다.

또, 도 13의 MRAM에서는, 비트선(154)을 흐르는 전류는 자기 기록층(115)에, 워드선(152)으로부터의 전류 자계와는 방향이 다른(예를 들면, 용이축 방향) 전류 자계를 인가하도록 작용한다. 이 방향의 전류 자계를 증강시킴과 동시에, 그 제1성을 향상시키고, 한편에서 자기 기록층(115)으로 주입하는 소핀 전류를 보다 저감되기 때문에, 도 14에 도시된 바와 같이, 비트선(154) 상에 절연층(155) 및 비트선(154)과 평행하게 연장되는 제2 워드선(156)을 형성해도 좋다. 도 14의 MRAM에서는, TMR 소자에 흐르는 전류의 방향의 변화와, 제2 워드선(156)에 흐르는 전류의 방향의 변화를 병용하여, 보다 작은 전류로 자기 기록층(115)의 자화의 반전을 반복할 수 있다.

도 15는 본 발명에 따른 다른 자기 저항 효과 소자를 나타내는 단면도이다. 도 15에 도시된 자기 저항 효과 소자는, 제1 반강자성층(161), 제1 강자성층(162), 제1 터널 절연층(163), 제2 강자성층(164), 제1 비자성층(165), 제3 강자성층(166), 제2 비자성층(167), 제4 강자성층(168), 제2 터널 절연층(169), 제5 강자성층(170), 제2 반강자성층(171)이 적층된 강자성 이중 터널 접합 소자이다.

제1 터널 절연층(163)과 제2 터널 절연층(169) 사이에 끼워진, 제2 강자성층(164), 제1 비자성층(165), 제3 강자성층(166), 제2 비자성층(167), 및 제4 강자성층(168)은 자기 기록층(172)을 구성하고 있다. 제2 및 제3 강자성층(164, 166)은 제1 비자성층(165)을 통해 반강자성 결합하고 있어 서로의 자화가 반평행 상태로 유지되고 있다. 마찬가지로, 제3 및 제4 강자성층(166, 168)은 제2 비자성층(167)을 통해 반강자성 결합하고 있어, 서로의 자화가 반평행 상태로 유지되고 있다.

제1 강자성층(162)은, 제1 반강자성층(161)과 교환 결합하여 도면 내의 화살표로 나타내는 방향으로 자화가 고착되어 있다. 마찬가지로, 제5 강자성층(170)은, 제2 반강자성층(171)과 교환 결합하여 도면 내의 화살표로 나타낸 바와 같이 제1 강자성층(162)의 자화의 방향과 동일 방향으로 자화가 고착되어 있다.

이 자기 저항 효과 소자로는 소정 방향으로 외부 자장이 인가되면, 제2 내지 제4 강자성층(164, 166, 168)은 반강자성 결합을 유지한 상태에서, 외부 자장의 방향으로 자화 회전한다. 한편, 제1 강자성층(162) 및 제5 강자성층(170)은 각각 제1 및 제2 반강자성층(161, 171)과의 교환 결합에 의해, 제2 내지 제4 강자성층(164, 166, 168)의 자화가 회전하는 정도의 외부 자장에서는, 자화 회전이 생기지 않도록 고착되어 있다. 이렇게 해서, 제2 내지 제4 강자성층(164, 166, 168)에 "1" 또는 "0"의 정보를 기록할 수 있다.

이 때, 제1 비자성층(165)을 통해 반강자성 결합한 제2 및 제3 강자성층(164, 166) 사이에서 자속이 폐쇄되고, 또한 제2 비자성층(167)을 통해 반강자성 결합한 제3 및 제4 강자성층(166, 168) 사이에서 자속이 폐쇄되기 때문에, 소자를 미세화해도 반자계가 증대하는 일은 없다. 이 때문에, 자화 반전에 필요한 반전 자장 H_{sw} 는 메모리셀의 크기에는 거의 의존하지 않고, 제2 내지 제4 강자성층(164, 166, 168)의 보자력은 일률적으로 H_c 로 결정된다. 따라서, H_c 를 작게 하면, H_{sw} 를 작게 할 수 있으므로, 에너지 절약 효과가 크다. 즉, 미방성 K_u 가 작은 재료를 이용함으로써 목적을 달성할 수 있다. 또한 반강자성 결합한 제2 내지 제4 강자성층(164, 166, 168)으로 자속이 폐쇄되기 때문에, 기록 비트가 요란 자장에 대해 안정된다는 이점도 얻을 수 있다.

또한, 도 15의 자기 저항 효과 소자에서는, 자기 기록층(172)에 3층의 강자성층이 포함되므로, 자기 기록층(172)의 제2 및 제4 강자성층(164, 168)의 자화의 방향이 동일해져 있다. 이 경우, 제1 터널 접합층(163)을 삽입하여 제2 강자성층(164)과 대항하는 제1 강자성층(자화 고착층, 162)과, 제2 터널 접합층(169)을 삽입하여 제4 강자성층(168)과 대항하는 제5 강자성층(자화 고착층, 170)에 대해서도, 자화의 방향이 동일해진다. 이와 같이 제1 강자성층(162)과 제5 강자성층(170)의 자화의 방향을 동일하게 하기 위해서는, 제1 및 제2 반강자성층(161, 171)으로서는 동일한 재료를 이용하는 것만으로도 되므로, 반강자성 재료의 선택의 폭이 넓어진다.

여기서, 제2 내지 제4 강자성층(164, 166, 168)에 있어서 자속을 무효하게 폐쇄하기 위해서는, 제3 강자성층(166)의 자화의 값 M_{301} , 제2 및 제4 강자성층(164, 168)의 자화를 다한 값 $M(2+4)$ 과 같은 것이 바의 자화의 값이 약간 다르게 하는 것이 바람직하다.

예를 들면, 제2 내지 제4 강자성층을 동일한 재료로 형성하는 경우에는, 제3 강자성층(166)의 두께 T_{301} 과 제2 및 제4 강자성층(164, 168)의 합계의 두께 $T(2+4)$ 가 다르도록 한다. 이 경우, T_{301} 과 $T(2+4)$ 의 차이 절대치는 0.5nm 이상 5nm 이하의 범위인 것이 바람직하다.

또한, 제2 내지 제4 강자성층(164, 166, 168)에 다른 재료를 이용함으로써, M_{301} 과 $M(2+4)$ 의 값이 다르게 해도 좋다.

또한, 반강자성적으로 교환 결합한 제2 내지 제4 강자성층(164, 166, 168)에 접하여 다른 강자성층을 설치함에 따라, M_{301} 과 $M(2+4)$ 의 값이 다르게 해도 좋다. 도 15의 구조 외, 제1 및 제2 비자성층(164, 167)을 통해 반강자성적으로 교환 결합한 제2 내지 제4 강자성층(164, 166, 168) 중, 제4 강자성층(168)에 접하여 강자성층(168b)을 설치한 구조를 포함한다. 이 경우, 강자성층(168b)으로서 소프트 자성을 나타내는 재료 예를 들면, 페룰로이, Fe-Co-Fe 합금, Co-Fe-Ni 합금 등을 이용하면, 보다 저자장에서 자화 반전할 수 있으므로 바람직하다.

본 발명에서는, 도 17에 도시된 바와 같이, 제1 강자성층(자화 고착층, 162)으로서 비자성층(162b)을 통해 2개의 강자성층(162a, 162c)이 반강자성적으로 교환 결합한 자기 적층막을 이용하여, 제5 강자성층(자화 고착층, 170)으로서 비자성층(170b)을 통해 2개의 강자성층(170a, 170c)이 반강자성적으로 교환 결합한 자기 적층막을 이용해도 좋다. 이와 같이 구성에서는, 제1 및 제5 강자성층(162, 170)의 자화가 더욱 안정되고 또한 강고히 고착된다. 또한, 제1 및 제5 강자성층(162, 170)으로부터의 누설 자계가 적어지므로, 자기 기록층(172)으로서 자기적 영합이 억제되고, 기록의 안정성이 증가한다.

상기된 바와 같은 자기 저항 효과 소자와 트랜지스터를 포함하는 메모리셀을 어레이형으로 배치하면, 도 6에 도시된 바와 같은 MRAM을 구성할 수 있다. 상기된 바와 같은 자기 저항 효과 소자와 다이오드를 포함하는 메모리셀을 어레이형으로 배치하면, 또 80에 도시된 바와 같은 MRAM을 구성할 수 있다.

제2 내지 제4 강자성층(164, 166, 168)의 재료로는, Co, Fe, Co-Fe 합금, Co-Ni 합금, Co-Fe-Ni 합금 등이며, NiMnSb, CoMnGe 등의 하프 메탈들을 이용할 수 있다. 하프 메탈은 한쪽의 스핀 밴드에 에너지 갭이 존재하므로, 이것을 이용하면 보다 큰 자기 저항 효과를 얻을 수 있어, 결과적으로 보다 큰 재생 출력을 얻을 수 있다.

또한, 제2 내지 제4 강자성층(164, 166, 168)은 막면 내에 약한 일률 자기 미방성을 갖는 것이 바람직하다. 일률 자기 미방성이 지나치게 강하면, 각 강자성층의 보자력이 커지고, 스위칭 자장이 커지기 때문에 바람직하지 못하다. 일률 자기 미방성의 크기는, 10^4 erg/cm 이하, 바람직하게는 10^3 erg/cm 이하이다. 각 강자성층의 바람직한 막 두께는 1~10nm이다.

제2 내지 제4 강자성층(164, 166, 168) 사이에 개재하여 반강자성 결합을 조려하는 제1 및 제2 비자성층(165, 167)의 재료로는, Cu, Au, Ag, Cr, Ru, Ir, Al, 또는 이들의 합금 등 많은 금속을 이용할 수 있다. 특히, Cu, Ru, Ir은 얇은 막 두께로 큰 반강자성 결합을 얻을 수 있으므로 바람직하다. 비자성층의 막 두께가 바람직한 범위는, 0.5~2nm이다.

터널 접합층의 재료로는, 산화된 바와 같이 SiO_2 , NiO , 산화 실리콘, MgO 등을 이용할 수 있다. 터널 접합층의 막 두께의 바람직한 범위는, 0.5~3nm이다. 반강자성층의 재료로는, 산화된 바와 같이 FeMn , IrMn , PtMn 등을 이용할 수 있다.

이어서, 본 발명의 자기 저항 효과 소자를 적용한 자기 저항 효과 헤드에 대해 설명한다.

도 18은 본 발명에 따른 강자성 이중 터널 접합 소자를 포함하는 자기 저항 효과 헤드를 탑재한 자기 헤드 어셈블리의 사시도이다. 액츄에이터 아암(201)은, 자기 디스크 장치 내의 고정축으로 고정되기 위한 홀이 설치되고, 도하지 않은 구동 코일을 유지하는 보반부 등을 포함한다. 액츄에이터 아암(201)의 일단에는 서스펜션(202)이 고정되어 있다. 서스펜션(202)의 선단에는 산화된 각 형태의 강자성 이중 터널 접합 소자를 포함하는 자기 저항 효과 헤드를 탑재한 헤드 슬라이드(203)가 부착되어 있다. 또한, 서스펜션(202)에는 신호와 기록 및 판독용의 리드선(204)이 배치되고, 이 리드선(204)의 일단은 헤드 슬라이드(203)에 삽입된 자기 저항 효과 헤드와 각 전극에 접속되고, 리드선(204)의 타단은 전극 패드(205)에

접속되어 있다.

도 19는 도 18에 도시된 자기 헤드 어셈블리를 탑재한 자기 디스크 장치의 내부 구조를 나타내는 사시도이다. 자기 디스크(211)는 스피ن들(212)에 장착되고, 도시하지 않은 구동 장치 제어부로부터의 제어 신호에 응답하는 도시하지 않은 모터에 의해 회전한다. 도 18의 액츄에이터 아암(201)은 고정축(213)으로 고정되고, 서스펜션(202) 및 그 선단의 헤드 슬라이더(203)를 지지하고 있다. 자기 디스크(211)가 회전하면, 헤드 슬라이더(203)의 매체 대향면은 자기 디스크(211)의 표면으로부터 소정량 부상한 상태에서 유지되고, 정보의 기록/재산을 행한다. 액츄에이터 아암(201)의 기단에는 선형 모터의 일종인 음성 코일 모터(214)가 설치된다. 음성 코일 모터(214)는 액츄에이터 아암(201)의 보반부에 감마 홀런진 도시하지 않은 구동 코일과 이 코일을 기우도록 대향하여 배치된 영구 자석 및 대향 요크로 이루어지는 자기 회로로 구성된다. 액츄에이터 아암(201)은 고정축(213)의 상하 2 개소에 설치된 도시하지 않은 볼 베어링에 의해 유지되고, 음성 코일 모터(214)에 의해 회전 미끄럼 이동이 가능하게 되어 있다.

자기 저항 효과 헤드의 용도로는, 제1, 제2 및 제4 강자성 미중 터널 접합 소자(도 1, 도 2 및 도 4)를 이용하는 것이 바람직하고, 제1 강자성 미중 터널 접합 소자를 이용하는 것이 보다 바람직하다. 또한, 자기 저항 효과 헤드의 용도로는, 자장 중 성막 또는 자장 중 열 처리에 따라, 인접하는 핀층과 프리층의 스피ن들 거의 직교시키는 것이 바람직하다. 이와 같이 하면, 자기 디스크로부터 누설 자장에 대해, 선형 응답을 얻을 수 있고, 어떠한 헤드 구조라도 사용할 수 있다.

이하, 본 발명의 실시예에 대해 설명한다.

(실시예 1)

Si/SiO₂ 기판 또는 SiO₂ 기판 상에 도 1에 도시된 바와 같은 구조를 포함하는 2층의 강자성 미중 터널 접합 소자(시료 A 및 시료 B)를 제작한 예를 설명한다.

시료 A는, Ta 기층을, Fe-Mn/Ni-Fe의 2층막으로 이루어지는 제1 반강자성층, CoFe로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, CoFe로 이루어지는 제2 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, CoFe로 이루어지는 제3 강자성층, Ni-Fe/Fe-Mn의 2층막으로 이루어지는 제2 반강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 B는, Ta 기층을, Ir-Mn으로 이루어지는 제1 반강자성층, Co-Fe로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, CoFe/Ni-Fe/CoFe의 3층막으로 이루어지는 제2 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, CoFe로 이루어지는 제3 강자성층, Ir-Mn으로 이루어지는 제2 반강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 A는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 넣고, 초기 진공도를 1×10⁻⁷ Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Fe₄₀Mn₆₀(20nm)/Ni₄₀Fe₆₀(5nm)/CoFe(3nm)/Al₂O₃(1.2nm)/Co₄₀Fe₆₀(3nm)/Al₂O₃(2nm)/CoFe(3nm)/Ni₄₀Fe₆₀(5nm)/Fe₄₀Mn₆₀(20nm)/Ta(5nm)를 순차 적층하였다. 또, Al₂O₃은, 순 Ar 가스 속에서 시타이션을 이용하여 시를 성장한 후, 진공을 깨뜨리지 않고 산소를 도입하여 플라즈마 산소로 노출시킴으로써 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 접합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃으로부터 상부의 CoFe/Al₂O₃/CoFe/Ni-Fe/Fe-Mn/Ta를 가공하였다. 제2 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 300nm의 Al₂O₃을 피착시킨 후, 제2 레지스트 패턴 및 그 상부의 Al₂O₃을 리프트 오프하고, 접합부 외의 부분에 중간 접연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 역소퍼터하여 클리닝하였다. 전면에 시를 피착한 후, 제3 레지스트 패턴 및 그 상부의 시를 리프트 오프하여, 시 전극 배선을 형성하였다. 그 후, 자장 중 열 처리에 도입하고, 핀층으로 한방향 이방성을 도입하였다.

시료 B는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 넣고, 초기 진공도를 1×10⁻⁷ Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Ir-Mn₂₀(20nm)/CoFe(3nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₄₀Fe₆₀(t nm, t=1, 2 또는 3nm)/CoFe(1nm)/Al₂O₃(1.8nm)/CoFe(8nm)/Ir-Mn₂₀(20nm)/Ta(5nm)를 순차 적층하였다. Al₂O₃은 상기된 바와 동일한 방법에 따라 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다. 이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 접합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 CoFe/Ni₄₀Fe₆₀/CoFe/Al₂O₃/CoFe/Ir-Mn₂₀/Ta를 가공하였다. 계속해서, 상기된 바와 같이, Al₂O₃ 중간 접연막의 형성, Al 전극 배선의 형성, 핀층으로의 한방향 이방성의 도입을 행하였다.

또한, 비교를 위해, 이하와 같은 시료 C 및 시료 D를 제작하였다.

시료 C는 강자성 싱글 터널 접합 소자로서, Ta/Ir-Mn/CoFe/Al₂O₃/CoFe/Ni-Fe/Ta라는 적층 구조를 포함한다.

시료 0는 반강자성층을 포함하지 않은 강자성 이중 터널 접합으로서, Ta(5nm)/CoPt(20nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe₃(3nm)/CoFe(1nm)/Al₂O₃(1.8nm)/CoPt(20nm)/Ta(5nm)라는 적층 구조를 포함한다.

도 20에 시료 A 및 B의 자기 저항 효과 곡선을 나타낸다. 시료 A는 250e라는 작은 자장에서 MR 변화를 27% 얻을 수 있다. 시료 B에서는 프리홀(자기 기록층)에 있어서의 Ni₂Fe와 CoFe와의 막 두께비를 바꿈으로써 반전 자장을 제어할 수 있는 것을 알 수 있다. 즉, Ni₂Fe의 막 두께가 1nm, 2nm, 3nm일 때, 각각 160e, 360e, 520e라는 작은 자장에서 저항이 크게 변화하고, 25% 이상의 큰 MR 변화율을 얻을 수 있다.

도 21에 시료 A, B 및 C에 대해 MR 변화율의 인가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V일 때의 값으로 규격화하고 있다. 이 도면으로부터, 시료 A 및 B는, 시료 C에 비교하여 자기 저항 변화율의 값이 반이 되는 전압 V₀이 크고, 전압 증대에 따르는 MR 변화율의 감소가 작은 것을 알 수 있다.

이어서, 시료 A, B 및 0를 슬레노이드코일 속에 두고, 펄스 지체 200e 속에서 자화 고착층의 자기 기록 상태의 피로 시험을 행하였다. 또, 도 22에 시료 A, B 및 C에 대해, 펄스 자장의 반전 회수와 출력 전압과의 관계를 나타낸다. 이 도면에서는, 출력 전압을 초기의 출력 전압치로 규격화하고 있다. 이 도면으로부터 알 수 있듯이, 시료 0에서는 펄스 자장의 반전 회수의 증가에 따라 출력 전압이 현저하게 저하한다. 이 때, 시료 A 및 B는 자화 고착층의 자기 기록 상태의 피로 시험에 보이지 않는다.

이상과 같이 도 1의 구조를 포함하는 강자성 이중 터널 접합 소자는, 자기 메모리 장치, 자기 헤드에 적합한 경우에 적합한 특성을 나타내는 것을 알 수 있다.

또, 유전체층으로서 SiO₂, AlN, MgO, LaAlO₃ 또는 CoFe를 이용한 경우에도 상기의 바와 동일한 경향을 볼 수 있다.

(실시예 2)

Si/SiO₂ 기판 또는 SiO₂ 기판 상에, 도 2에 도시된 바와 같은 구조를 포함하는 2층의 강자성 이중 터널 접합 소자(시료 A2 및 시료 B2)를 제작한 예를 설명한다.

시료 A2는, Ta 기층을, Ni-Fe/CoFe의 2층막으로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, CoFe로 이루어지는 제2 강자성층, Fe-Mn으로 이루어지는 반강자성층, CoFe로 이루어지는 제3 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, CoFe/Ni-Fe의 2층막으로 이루어지는 제4 강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 B2는, Ta 기층을, Ni-Fe/Ru/CoFe의 3층막으로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, CoFe/Ni-Fe의 2층막으로 이루어지는 제2 강자성층, Fe-Mn으로 이루어지는 제1 반강자성층, Ni-Fe/CoFe의 2층막으로 이루어지는 제3 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, CoFe/Ru/Ni-Fe로 이루어지는 제4 강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 A2는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 두고, 초기 진공도를 1×10⁻⁶ Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(3nm)/Ni₂Fe₃(1nm), t=3, 5 또는 8nm)/CoFe(1nm)/Al₂O₃(1.2nm)/CoFe(1nm)/Fe-Mn(0.7nm)/CoFe(1nm)/Al₂O₃(1.6nm)/CoFe(1nm)/Ni₂Fe₃(t nm, t=3, 5 또는 8nm)/Ta(5nm)를 순차 적층하였다. 또, Al₂O₃은, 순 Ar 가스 속에서 RF 타겟을 이용하여 Al을 성막한 후, 진공을 깨뜨리지 않고 산소를 도입하여 플라즈마 산소로 도플시함으로써 형성했다.

상기 적층막을 성막한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100μm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 집합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 CoFe/Ru/Ni-Fe/CoFe/Al₂O₃/CoFe/Ni-Fe/Ta를 가공하였다. 제2 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 300nm의 Al₂O₃을 피착한 후, 제2 레지스트 패턴 및 그 상부의 Al₂O₃을 리프트 오프하고, 집합부 외의 부분에 홀과 절연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 역선택하여 클리닝하였다. 전면에 Al을 피착한 후, 제3 레지스트 패턴 및 그 상부의 Al을 리프트 오프하여, Al 전극 배선을 형성하였다. 그 후, 자장 중 열 처리로써 도입하고, 편층으로 한방향 이방성을 도입하였다.

시료 B2는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 두고, 초기 진공도를 1×10⁻⁶ Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(2nm)/Ni₂Fe₃(6nm)/Ru(0.7nm)/CoFe₂(3nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe₃(1nm)/Fe-Mn₂(20nm)/Ni₂Fe₃(1nm)/CoFe(1nm)/Al₂O₃(1.7nm)/CoFe(3nm)/Ru(0.7nm)/Ni₂Fe₃(6nm)/Ta(5nm)를 순차 적층하였다. Al₂O₃은 상기의 바와 동일한 방법에 따라 형성하였다.

상기 적층막을 성막한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100μm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다. 이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 집합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 CoFe/Ni₂Fe₃/Fe-Mn₂/Ni₂Fe₃/CoFe/Al₂O₃/CoFe/Ru/Ni₂Fe₃/Ta를 가공하였다. 계속해서, 상기의 바와

같이 함으로써, Al_2O_3 층간 절연막의 형성, Al 전극 배선의 형성, 핀층으로의 한방향 이방성의 도입을 행하였다.

또한, 비교를 위해, 이하와 같은 시료 C2 및 시료 D2를 제작하였다.

시료 C2는 강자성 싱글 터널 접합 소자로서, $Ta(3nm)/Ni_{80}Fe_{20}(5nm)/CoFe(1nm)/Al_2O_3(12nm)/CoFe(1nm)/Ir_{80}Mn_{20}(17nm)/CoFe(1nm)/Ta(5nm)$ 라는 적층 구조를 포함한다.

시료 D2는 반강자성층을 포함하지 않은 강자성 이중 터널 접합으로서, $Ta(3nm)/Ni_{80}Fe_{20}(5nm)/CoFe(1nm)/Al_2O_3(12nm)/CoFe(1nm)/Al_2O_3(1.6nm)/CoFe(1nm)/Ni_{80}Fe_{20}(5nm)/Ta(5nm)$ 라는 적층 구조를 포함한다.

도 23에 시료 A2 및 B2의 자기 저항 효과 곡선을 나타낸다. 시료 A2로는 프라층(자기 기록층)에 있어서의 $Ni_{80}Fe_{20}$ 와 $CoFe$ 와의 막 두께비를 바꿈으로써 반전 자장을 제어할 수 있는 것을 알 수 있다. 즉, $Ni_{80}Fe_{20}$ 의 막 두께가 3nm, 5nm, 8nm일 때, 각각 150e, 260e, 380e라는 작은 자장에서 저항이 크게 변화하고, 26% 이상의 큰 MR 변화율을 얻을 수 있다. 시료 B2는 390e라는 작은 자장에서 MR 변화를 26% 얻을 수 있다.

도 24에 시료 A2, B2 및 C2에 대해 MR 변화율의 인가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V일 때의 값으로 규격화하여 나타내고 있다. 이 도면으로부터, 시료 A2 및 B2는, 시료 C2에 비교하여 자기 저항 변화율의 값이 반이 되는 전압 V_H 가 크고, 전압 증대에 따르는 MR 변화율의 감소가 작은 것을 알 수 있다.

이어서, 시료 A2, B2 및 D2를 슬레노이드 코일 내에 두고, 필스 자계 700e 속에서, 자화 고착층의 자기 기록 상태의 피로 시험을 행하였다. 도 25에 시료 A2, B2 및 D2에 대해, 필스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸다. 이 도면에서는 출력 전압을 초기의 출력 전압치로 규격화하고 있다. 이 도면으로부터 분명히 알 수 있듯이, 시료 D2로는 필스 자장의 반전 횟수의 증가에 따라 출력 전압이 현저하게 저하하고 있다. 이에 대해, 시료 A2 및 B2는 자화 고착층의 자기 기록 상태의 피로는 나타나지 않는다. 또한, 시료 A2와 B2의 비교에서는, 프라층에 반강자성 결합한 $CoFe/Ru/Ni_{80}Fe_{20}$ 의 3층 구조를 이용한 시료 B2가 피로가 적다.

이상과 같이 도 2의 구조를 갖는 강자성 이중 터널 접합 소자는, 자기 메모리 장치, 자기 헤드에 적용한 경우에 적합한 특성을 나타내는 것을 알 수 있다.

또, 유전체층으로서 SiO_2 , AlN , MgO , $LaAlO_3$ 또는 CaF_2 를 이용한 경우에도 상기된 바와 동일한 결합이 보인다.

(실시예3)

Si/SiO_2 기판 또는 Si/Al_2O_3 기판 상에 도 3에 도시된 바와 같은 구조를 포함하는 2중의 강자성 이중 터널 접합 소자(시료 A3 및 시료 B3)를 제작한 예를 설명한다.

시료 A3은, Ta 기층을, Ir-Mn으로 이루어지는 제1 반강자성층, Co-Fe로 이루어지는 제1 강자성층, Al_2O_3 으로 이루어지는 제1 유전체층, Co-Fe-Ni으로 이루어지는 제2 강자성층, Fe-Mn으로 이루어지는 제2 반강자성층, Co-Fe-Ni로 이루어지는 제3 강자성층, Al_2O_3 으로 이루어지는 제2 유전체층, Co-Fe로 이루어지는 제4 강자성층, Ir-Mn으로 이루어지는 제3 반강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 B3은, Ta 기층을, Ir-Mn으로 이루어지는 제1 반강자성층, Co-Fe/Ru/Co-Fe의 3층막으로 이루어지는 제1 강자성층, Al_2O_3 으로 이루어지는 제1 유전체층, Co-Fe/Ni-Fe의 2층막으로 이루어지는 제2 강자성층, Fe-Mn으로 이루어지는 제2 반강자성층, Ni-Fe/Co-Fe의 2층막으로 이루어지는 제3 강자성층, Al_2O_3 으로 이루어지는 제2 유전체층, Co-Fe/Ru/Co-Fe의 3층막으로 이루어지는 제4 강자성층, Ir-Mn으로 이루어지는 제3 반강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 A3은 이하와 같이 하여 제작하였다. 기판을 스퍼터 장치에 두고, 초기 진공도를 1×10^{-7} Torr로 설정한 후, Ar를 도입하여 소정의 입력으로 설정하였다. 기판 상에, $Ta(5nm)/Ir_{80}Mn_{20}(18nm)/CoFe(2nm)/Al_2O_3(1.7nm)/CoFe/Ni_{80}Fe_{20}(2nm)/Fe_{80}Mn_{20}(17nm)/CoFe/Ni_{80}Fe_{20}(2nm)/Al_2O_3(2nm)/CoFe(2nm)/Ir_{80}Mn_{20}(18nm)/Ta(5nm)$ 를 순차 적층하였다. 또, Al_2O_3 은, 순 Ar 가스 속에서 Si 타겟을 이용하여 Al을 성장한 후, 진공을 패드리지 않고 산소를 도입하여 플라즈마 산소로 노출시킴으로써 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해, 최상부의 Ta 보호층 상에 100 μm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 접합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al_2O_3 보다 상부의 $CoFe/Ni_{80}Fe_{20}/Fe_{80}Mn_{20}/CoFe/Ni_{80}Fe_{20}/Al_2O_3/CoFe/Ir_{80}Mn_{20}/Ta$ 를 가공하였다. 제2 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 350nm의 Al_2O_3 을 피착한 후, 제2 레지스트 패턴 및 그 상부의 Al_2O_3 을 리프트 오프하고, 접합부 이외의 부분에 층간 절연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 엑스 펙하여 플리닝하였다. 전면에 Al을 피착한 후, 제3 레지스트 패턴 및 그 상부의 Al을 리프트 오프하여, Al 전극 배선을 형성하였다. 그 후, 자장 중 열 처리로 도입하고, 핀층으로 한방향 이방성을 도입하였다.

시료 B3은 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 두고, 초기 진공도를 1×10^{-7} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(3nm)/Ir-Mn(14nm)/Co-Fe(1.5nm)/Ru(0.7nm)/Co-Fe(1.5nm)/Al₂O₃(1.7nm)/CoFe(1nm)/Ni₂Fe₂(2nm)/Fe₂Mn₂(19nm)/Ni₂Fe₂(2nm)/CoFe(1nm)/Al₂O₃(2.1nm)/Co-Fe(2nm)/Ru(0.8nm)/Co-Fe(2nm)/Ir-Mn(14nm)/Ta(5nm)를 순차 적층하였다. Al₂O₃은 상기 기판 바와 동일한 방법에 따라 형성하였다.

상기 적층막을 성막한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다. 이어져, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 집합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 CoFe/Ni₂Fe₂/Fe₂Mn₂/Ni₂Fe₂/CoFe/Al₂O₃/CoFe/Ru/CoFe/Ir-Mn/Ta를 가공하였다. 계속해서, 상기된 바와 마찬가지로 함으로써, Al₂O₃층간 절연막의 형성, Al 전극 배선의 형성, 핀층으로의 한방향 이방성의 도입을 행하였다.

또한 비교를 위해, 이하와 같은 시료 C3 및 시료 D3를 제작하였다.

시료 C3은 강자성 상을 터널 접합 소자이고, Ta(3nm)/Ir-Mn(14nm)/Co-Fe(1.5nm)/Ru(0.7nm)/Co-Fe(1.5nm)/Al₂O₃(1.7nm)/CoFe(1nm)/Ni₂Fe₂(2nm)/Fe₂Mn₂(19nm)/Ta(5nm)라는 적층 구조를 포함한다.

시료 D3은 반강자성층을 포함하지 않은 강자성 이중 터널 접합으로서, Ta(5nm)/CoPt₂(15nm)/CoFe(2nm)/Al₂O₃(1.7nm)/Co₂Fe₂(Ni₂(2nm)/Al₂O₃(2nm)/CoFe(2nm)/CoPt₂(15nm)/Ta(5nm)라는 적층 구조를 포함한다.

도 26에 시료 A3 및 B3의 자기 저항 효과 곡선을 도시한다. 시료 A3은 570a라는 작은 자장에서 MR 변화를 26%를 얻을 수 있다. 시료 B3은 630a라는 작은 자장에서 MR 변화를 27%를 얻을 수 있다.

도 27에 시료 A3, B3 및 C3에 대해 MR 변화율의 인가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V 일 때의 값으로 규격화하여 나타내고 있다. 이 도면으로부터, 시료 A3 및 B3은, 시료 C3에 비교하여 자기 저항 변화율의 값이 반이 되는 전압 V₁가 크고, 전압 증대에 따르는 MR 변화율의 감소가 작은 것을 알 수 있다.

이어져, 시료 A3, B3 및 D3를 헬레노이드 코일 내에 두고, 펄스 자계 750e 속에서 자화 고착층의 자기 외 상과의 피로 시험을 행하였다. 도 28에 시료 A3, B3 및 D3에 대해, 펄스 자계의 반전 횟수와 출력 전압과의 관계를 나타낸다. 이 도면에서는, 출력 전압을 초기의 출력 전압치로 규격화하고 있다. 이 도면으로부터 분명히 알 수 있듯이, 시료 D3에서는 펄스 자계의 반전 횟수의 증가에 따라 출력 전압이 현저히 저하하고 있다. 이에 대해, 시료 A3 및 B3은 자화 고착층의 자기 기록 상태의 피로는 보이지 않는다. 또한, 시료 A3과 B3의 비교에서는, 프리층에 반강자성 결합한 CoFe/Ru/CoFe와 3층 구조를 이용한 시료 B3이 피로가 적다.

이상과 같이 도 3의 구조를 갖는 강자성 이중 터널 접합 소자는, 자기 메모리 장치, 자기 헤드에 적용한 경우에 적합한 특성을 나타내는 것을 알 수 있다.

또, 유전체층으로서 SiO₂, AlN, MgO, LaAlO₃ 또는 CaF₂를 이용한 경우에도 상기된 바와 같은 효과를 볼 수 있다.

(실시예 4)

Si/SiO₂ 기판 또는 Si/AlN 기판 상에 도 4 또는 도 5에 도시된 바와 같은 구조를 포함하는 2층의 강자성 이중 터널 접합 소자(시료 A4 및 시료 B4)를 제작한 예를 설명한다.

시료 A4는, Ta 기초층, Ni-Fe/Co-Fe의 2층막으로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, Co-Fe로 이루어지는 제2 강자성층, Ru로 이루어지는 제1 비자성층, Co-Fe로 이루어지는 제3 강자성층, Ru로 이루어지는 제2 비자성층, Co-Fe로 이루어지는 제4 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, Co-Fe/Ni-Fe의 2층막으로 이루어지는 제5 강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 B4는, Ta 기초층, Ni-Fe/Co-Fe의 2층막으로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, Co-Fe로 이루어지는 제2 강자성층, Ru로 이루어지는 제1 비자성층, Co-Fe 강자성층, Ir-Mn 반강자성층, Co-Fe 강자성층, Ru로 이루어지는 제2 비자성층, Co-Fe로 이루어지는 제4 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, Co-Fe/Ni-Fe의 2층막으로 이루어지는 제5 강자성층, Ta 보호층을 순차 적층한 구조를 포함한다.

시료 A4는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 두고, 초기 진공도를 1×10^{-7} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Ni₂Fe₂(15nm)/CoFe(3nm)/Al₂O₃(1.7nm)/CoFe(2nm)/Ru(0.7nm)/CoFe(2nm)/Ru(0.7nm)/CoFe(2nm)/Al₂O₃(2nm)/CoFe(2nm)/Fe₂(16nm)/Fe(5nm)를 순차 적층하였다. 또, Al₂O₃은 순 Ar 가스 내에서 Al 타겟을 이용하여 서를 성막한 후, 진공을 깨뜨리지 않고 산소를 도입하여 플라즈마 산소에 노출시킴으로써 형성하였다.

상기 적층막을 성막한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어져, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 집합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의

CoFe/Ru/CoFe/Ru/CoFe/Al₂O₃/CoFe 등/Ni₂Fe₈/Ta를 가공하였다.

제2 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 300nm의 Al₂O₃을 피착한 후, 제2 레지스트 패턴 및 그 상부의 Al₂O₃을 리프트 오프하고, 집합부 이외의 부분에 층간 접연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 엣스 퍼터하여 클리닝하였다. 전면에 Al을 피착한 후, 제3 레지스트 패턴 및 그 상부의 Al을 리프트 오프하여, Al 전극 배선을 형성하였다. 그 후, 자장 내 열 처리로 도입하고, 핀홀으로 한방향 이방성을 도입하였다.

시료 B4는 이하와 같이 하여 제작하였다. 기판을 스퍼터 장치에 넣고, 초기 진공도를 1×10^{-5} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Ni₂Fe₈(15nm)/CoFe(2nm)/Al₂O₃(1.5nm)/CoFe(1.5nm)/Ru(0.7nm)/CoFe(1.5nm)/Ir-Mn(14nm)/CoFe(1.5nm)/Ru(0.7nm)/CoFe(1.5nm)/Al₂O₃(2nm)/CoFe(2nm)/Ni₂Fe₈(15nm)/Ta(5nm)를 순차 적층하였다. Al₂O₃은 상기된 바와 같은 방법에 따라 형성하였다.

상기 적층막을 성막한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다. 이어서, 제1 레지스트 패턴을 제거한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 집합 치수를 규정하는 제2 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃ 보다 상부의 CoFe/Ru/CoFe/Ir-Mn/CoFe/Ru/CoFe/Al₂O₃/CoFe/Ni₂Fe₈/Ta를 가공하였다. 계속해서, 상기된 바와 같이, Al₂O₃ 층간 접연막의 형성, Al 전극 배선의 형성, 핀홀으로의 한방향 이방성의 도입을 행하였다.

또한, 비교를 위해, 이하와 같은 시료 C4 및 시료 D4를 제작하였다.

시료 C4는 강자성 싱글 터널 접합 소자로서, Ta(5nm)/Ni₂Fe₈(16nm)/CoFe(3nm)/Al₂O₃(1.7nm)/CoFe(2nm)/Ru(0.7nm)/CoFe(2nm)/Ru(0.7nm)/CoFe(2nm)/Ta(5nm)라는 적층 구조를 포함한다.

시료 D4는 반강자성 결합이 없는 강자성 이중 터널 접합으로서, Ta(5nm)/Ni₂Fe₈(16nm)/CoFe(3nm)/Al₂O₃(1.7nm)/CoFe(5nm)/Al₂O₃(2nm)/CoFe(3nm)/Ni₂Fe₈(16nm)/Ta(5nm)라는 적층 구조를 포함한다.

도 29에 시료 A4 및 B4의 자기 저항 효과 곡선을 나타낸다. 시료 A4는 330e라는 작은 자장에서 MR 변화를 28% 얻을 수 있다. 시료 B4는 180e라는 작은 자장에서 MR 변화를 26% 얻을 수 있다.

도 30에 시료 A4, B4 및 C4에 대해 MR 변화율의 인가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V일 때의 값으로 규격화하여 나타내고 있다. 이 도면으로부터, 시료 A4 및 B4는 시료 C4에 비교하여 자기 저항 변화율의 값이 반이 되는 전압 V₀가 크고, 전압 증대에 따르는 MR 변화율의 감소가 작은 것을 알 수 있다.

이어서, 시료 A4, B4 및 D4를 슬레노이드 코일 내에 두고, 펄스 자계 400e 속에서 자화 고착층의 자기 기록 상태의 파로 시험을 행하였다. 도 31에 시료 A4, B4 및 D4에 대해, 펄스 자장의 반전 횟수와 출력 전압과의 관계를 나타낸다. 이 도면에서는, 출력 전압을 초기의 출력 전압으로 규격화하고 있다. 이 도면으로부터 분명해 알 수 있듯이, 시료 D4에서는 펄스 자장의 반전 횟수의 증가에 따라 출력 전압이 현저히 저하하고 있다. 이에 대해, 시료 A4 및 B4는 자화 고착층의 자기 기록 상태의 파로는 보이지 않는다. 또한, 시료 A4와 B4의 비교로는, 자화 고착층에 반강자성층을 삽입한 CoFe/Ir/CoFe/Ir-Mn/CoFe/Ir/CoFe의 7층 구조를 이용한 시료 B4가 파로가 적다.

이상과 같이 도 4의 구조를 갖는 강자성 이중 터널 접합 소자는, 자기 메모리 장치, 자기 헤드에 적용한 경우에 적합한 특성을 나타내는 것을 알 수 있다.

또, 유전체층으로서 SiO₂, AlN, MgO, LaAlO₃ 또는 CaF₂를 이용한 경우에도 상기된 바와 같은 경향을 볼 수 있었다.

(실시예5)

도 7 또는 도 9에 도시된 MRAM을 상정하여, Si/SiO₂ 또는 SiO₂ 기판 상에 도 32에 도시된 바와 같은 구조를 포함하는 강자성 이중 터널 접합 소자(시료 A5 및 시료 B5)를 제작한 예를 설명한다.

시료 A5는, Ta 기층층, Fe-Mn으로 이루어지는 제1 반강자성층, Ni-Fe/Co-Fe의 2층막으로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, Co-Fe로 이루어지는 제2 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, Co-Fe로 이루어지는 제3 강자성층, Fe-Mn으로 이루어지는 제2 반강자성층, Al로 이루어지는 금속층을 순차 적층한 구조를 포함한다.

시료 B5는, Ta로 이루어지는 기층층, Ir-Mn으로 이루어지는 제1 반강자성층, Co-Fe로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, Co-Fe/Ni-Fe/Co-Fe의 3층막으로 이루어지는 제2 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, Co-Fe로 이루어지는 제3 강자성층, 비트선(Co로 이루어지는 제3 강자성층, Ir-Mn으로 이루어지는 제2 반강자성층, Al로 이루어지는 금속층)을 순차 적층한 구조를 포함한다.

도 32에 도시된 바와 같이, 시료 A5 및 B5 중 모두, 집합 면적에 비교하여 제2 반강자성층의 면적이 크다.

시료 A5는 이하와 같이 함으로써 제작하였다. 기판을 스퍼터 장치에 넣고, 초기 진공도를 1×10^{-5} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정했다. 기판 상에, Ta(5nm)/Fe₂Mn₈(18nm)/Ni₂Fe₈(5

nm)/CoFe(2nm)/Al₂O₃(1.7nm)/Co₂Fe(3nm)/Al₂O₃(2nm)/CoFe(2nm)/Ta(5nm)를 순차 적층하였다. 또, Al₂O₃은 순 Ar 가스 속에서 Al 타겟을 이용하여 Al을 성장한 후, 진공을 깨뜨리지 않고 산소를 도입하여 클리닝한 산소에 노출시킴으로써 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해 최상부의 Ta 층 상에 50nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어서, 제1 레지스트 패턴을 제거한 후, 최상부의 Ta 층 상에 전자선 레지스트를 도포하고, EB 노화 장치를 이용하여 제1 Al₂O₃보다 상부의 각 층의 미세 가공을 행하고, 집합 면적 1×1 μ m, 0.5×0.5 μ m, 0.15×0.15 μ m의 강자성 터널 접합을 제작하였다. 전자선 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 300nm의 Al₂O₃을 피착한 후, 전자선 레지스트 패턴 및 그 상부의 Al₂O₃을 리프트 오프하고, 집합부 외의 부분에 층간 절연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 역스펙하여 클리닝하고, 또한 Ta 층을 제거하였다. 그 후, 비트선의 전극 배선으로서 Ni₂Fe(5nm)/Fe₂Mn₂(18nm)/Al₂O₃(5nm)를 순차 적층하였다. 제3 레지스트 패턴 및 그 상부의 전극 배선을 리프트 오프하였다. 그 후, 자장 중 열 처리로에 도입하고, 편층에 한방향 이방성을 도입하였다.

시료 B5는 이하와 같이 함으로써 제작하였다. 기판을 슈퍼더 장치에 넣고, 초기 진공도를 1×10⁻⁶Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Ir-Mn₂(18nm)/CoFe(3nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe(3nm)/CoFe(1nm)/Al₂O₃(1.8nm)/CoFe(3nm)/Ta(5nm)를 순차 적층하였다. Al₂O₃은 상기한 바와 동일한 방법에 의해 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해 최상부의 Ta 층 상에 50nm 폭의 하부 배선 형상을 규정하는 제1 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

다음에, 제1 레지스트 패턴을 제거한 후, 최상부의 Ta 층 상에 전자선 레지스트를 도포하고, EB 노화 장치를 이용하여 제1 Al₂O₃보다 상부의 각 층의 미세 가공을 행하고, 집합 면적 1×1 μ m, 0.5×0.5 μ m, 0.15×0.15 μ m의 강자성 터널 접합을 제작하였다. 전자선 레지스트 패턴을 남긴 상태에서, 전자 빔 증착에 의해 두께 300nm의 Al₂O₃을 피착한 후, 전자선 레지스트 패턴 및 그 상부의 Al₂O₃을 리프트 오프하고, 집합부 이외의 부분에 층간 절연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 제3 레지스트 패턴을 형성한 후, 표면을 역스펙하여 클리닝하고, 또한 Ta 층을 제거하였다. 그 후, 비트선의 전극 배선으로서 Co₂FeMn₂(18nm)/Al₂O₃(5nm)를 순차 적층하였다. 제3 레지스트 패턴 및 그 상부의 전극 배선을 리프트 오프하였다. 그 후, 자장 중 열 처리로에 도입하고, 편층에 한방향 이방성을 도입하였다.

또한, 비교를 위해, 이하와 같은 시료 C5, 시료 B5 및 시료 E5를 제작하였다.

시료 C5는 강자성 층을 터널 접합 소자로서, Ta(5nm)/Ir-Mn₂(18nm)/CoFe(3nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe(3nm)/CoFe(1nm)/Ta(5nm)라는 적층 구조를 포함한다.

시료 B5는, 시료 B5와 동일한 적층 구조, 즉 Ta(5nm)/Ir-Mn₂(18nm)/CoFe(3nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe(3nm)/CoFe(1nm)/Al₂O₃(1.8nm)/CoFe(3nm)/Ir-Mn₂(18nm)/Ta(5nm)라는 적층 구조를 포함한다. 그러나, 도 32의 구조와는 달리, 상부의 Ir-Mn₂으로 이루어지는 제2 반강자성층(및 Ta 보호층)의 면적도 집합 면적과 동일해지도록 가공되어 있다. 또한, 비트선은 시 출만으로 이루어져 있다.

시료 E5는 반강자성층을 포함하지 않은 강자성 이중 터널 접합으로서, Ta(5nm)/CoFePt(13nm)/Al₂O₃(1.5nm)/CoFe(1nm)/Ni₂Fe(3nm)/CoFe(1nm)/Al₂O₃(1.8nm)/CoFePt(13nm)/Ta(5nm)라는 적층 구조를 포함한다.

도 33에 시료 A5 및 B5의 자기 저항 효과 곡선을 나타낸다. 시료 A5는 290eV라는 작은 자장에서 MR 변화율 26%를 얻을 수 있다. 시료 B5는 390eV라는 작은 자장에서 MR 변화율 27%를 얻을 수 있다.

도 34에 시료 A5, B5 및 C5에 대해 MR 변화율의 안가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V일 때의 값으로 규격화하여 나타내고 있다. 이 도면으로부터, 시료 A5 및 B5는 시료 C5에 비교하여 자기 저항 변화율의 값의 반이 되는 전압 V₀가 크고, 전압 증대에 따르는 MR 변화율의 감소가 작은 것을 알 수 있다.

이어서, 시료 A5, B5, C5 및 E5를 슬레노이드 코일 내에 두고, 펄스 자계 700eV 근처에서 자화 교착층의 자기 기록 상태의 파로 시험을 행하였다. 도 35에 시료 A5, B5, C5 및 E5에 대해, 펄스 자장의 반전 회수와 출력 전압과의 관계를 나타낸다. 이 도면에서는, 출력 전압을 초기의 출력 전압치로 규격화하고 있다. 이 도면으로부터 분명히 알 수 있듯이, 시료 E5에서는 펄스 자장의 반전 회수의 증가에 따라 출력 전압이 현저히 저하하고 있다. 또한, 시료 B5는 집합 면적이 작을수록, 파로가 견뎌지는 경향을 나타내었다. 이것은, 집합 면적이 작으면 기공, 손상 등으로 상부 자화 교착층이 열화되기 때문이라고 생각할 수 있다. 이에 대해, 시료 A5 및 B5는 자화 교착층의 자기 기록 상태의 파로는 보이지 않는다. 이 때문에, 도 32에 도시된 바와 같이, 상부의 반강자성층을 비트선의 일부분으로 구성하는 것이 유리한 것을 알 수 있다.

이상과 같이, 도 32의 구조를 갖는 강자성 이중 터널 접합 소자는, 특히 자기 메모리 장치에 적용한 경우에 적합한 특성을 나타내는 것을 알 수 있다.

또, 유전체층으로서 SiO_2 , Al_2O_3 , $LaAlO_3$ 또는 CaF_2 를 이용한 경우에도 상기된 바와 동일한 경향을 볼 수 있다.

(실시예 6)

실시예 1~4와 동일한 방법에 따라, $Si_3Si_4O_{10}$ 기판 또는 SiO_2 기판 상에, 도 1~도 4에 도시된 기본 구조를 포함하는 강자성 미결 터널 접합 소자를 제작하였다. 이들의 소자의 적층 구조를 표 1에 나타낸다. 또, 기초층 및 보호층으로는, La , Ti , Ti/Pt , Pt , Ti/Pd , La/Pt , La/Pd , TiN 중 어느 하나를 이용하고 있다. 이들 시료에 대해, MR 변화율이 1/2로 감소하는 전압차 $V_{1/2}$, 10000회의 프리플(자기 기록) (반전 시의 출력치와 초기 출력치와의 비율 표 1에 나타낸다. 어떤 시료라도 큰 MR 변화율을 얻을 수 있고, 전압의 전압의 MR 변화율의 감소 정도도, 강자성 싱글 터널 접합 소자에 비해 작다. 또한, 프리플(자기 기록)의 자화 반전을 반복해도, 출력 전압의 저하는 거의 없어, 파로가 작다. 따라서, 이들 소자는 자기 저장 효과형 헤드, 센서, 자기 기억 소자로서 이용한 경우에 유효하다는 것을 알 수 있다.

표 1

Sample	$V_{1/2}$ (V)	$V_{10000}/V_{initial}$
1. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.21	0.94
2. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.17	0.96
3. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.95
4. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.96
5. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
6. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
7. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
8. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
9. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
10. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
11. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
12. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
13. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
14. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
15. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
16. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
17. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
18. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
19. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
20. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
21. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
22. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
23. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
24. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
25. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
26. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
27. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
28. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
29. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
30. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
31. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
32. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
33. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
34. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
35. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
36. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
37. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
38. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
39. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
40. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
41. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
42. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
43. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
44. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
45. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
46. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
47. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
48. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
49. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
50. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
51. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
52. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
53. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
54. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
55. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
56. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
57. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
58. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
59. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
60. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
61. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
62. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
63. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
64. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
65. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
66. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
67. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
68. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
69. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
70. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
71. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
72. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
73. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
74. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
75. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
76. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
77. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
78. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
79. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
80. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
81. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
82. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
83. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
84. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
85. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
86. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
87. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
88. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
89. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
90. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
91. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
92. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
93. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
94. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
95. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
96. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
97. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
98. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
99. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97
100. $La(10nm)/Co(10nm)/Si_3Si_4O_{10}(10nm)/Co(10nm)/La(10nm)$	0.19	0.97

또, 본 발명에 있어서, 각 층간의 원자 확산 현상이 생기는 경우가 있을 수 있었다. 예를 들면, 스핀터럴 시에 스핀 강도를 강하게 하면, Co 기층을, 또는 이들과 비자성층이나 반강자성층 사이에서의 원자의 확산이 생긴다고 생각할 수 있다. 또한, 온도나 시간에도 의존하지만, 을 처리라도 중

일한 원자 확산이 생긴다고 생각할 수 있다. 이러한 원자 확산이 발생해도, 각 층을 구성하는 재료가 본 발명에서 요구되는 자기 특성을 나타내고, 명시한 재료의 범위 내에 포함되는 한, 본 발명의 범위로 들어

(실시예 7)

Si/SiO₂ 기판 또는 SiO₂ 기판 상에 도 1에 도시된 바와 같은 구조를 포함하고, 프리층의 두께가 다른 3층의 강자성 이중 터널 접합 소자(시료 T1, T2 및 T3)를 제작한 예를 설명한다.

시료 T1은, Fe 기초층, Fe-Mn/Ni-Fe의 2층막으로 이루어지는 제1 반강자성층, CoFe로 이루어지는 제1 강자성층, Al₂O₃으로 이루어지는 제1 유전체층, CoFe로 이루어지는 제2 강자성층, Al₂O₃으로 이루어지는 제2 유전체층, CoFe로 이루어지는 제3 강자성층, Ni-Fe/Fe-Mn의 2층막으로 이루어지는 제2 반강자성층, Ta 보호층을 순차 적층한 구조를 포함하고, 프리층인 CoFe로 이루어지는 제2 강자성층의 막 두께가 2.5nm로 설정되어 있다.

시료 T1은 이하와 같이 함으로써 제작하였다. 기판을 스펙 장치에 넣고, 초기 진공도를 1×10^{-10} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. 기판 상에, Ta(5nm)/Fe₂Mn₂(20nm)/Ni₂Fe(5nm)/CoFe(3nm)/Al₂O₃(1.7nm)/Co₂Fe(2.5nm)/Al₂O₃(2nm)/CoFe(3nm)/Ni₂Fe(5nm)/Fe₂Mn₂(20nm)/Ta(5nm)를 순차 적층하였다. 또, Al₂O₃은, 순 Ar 가스 속에서 Al 타겟을 이용하여 Al을 성장한 후, 진공을 깨뜨리지 않고 산소를 도입하여 플라즈마 산소에 노출시킴으로써 형성하였다.

상기 적층막을 성장한 후, 포토리소그래피 기술에 의해 최상부의 Ta 보호층 상에 100nm 폭의 하부 배선 형상을 규정하는 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 가공하였다.

이어서, 레지스트 패턴을 제거한 후, 포토리소그래피 기술 또는 전자선 리소그래피 기술 및 RIE에 의해 최상부의 Ta 보호층 상에 집합 지수를 규정하는 Ta 하부 마스크를 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 CoFe/Al₂O₃/CoFe/Ni-Fe/Fe-Mn/Ta를 가공하였다. 이 공정에 의해 집합 폭을 여러가지로 변화시켰다. 집합 폭이 1μm 이하의 소자를 형성하는 경우에는 전자선 리소그래피 기술을 이용하였다. 집합부 상에 레지스트 패턴을 형성하고, 스펙법 또는 플라즈마 CVD법에 따라 두께 300nm의 SiO₂를 피착한 후, 레지스트 패턴 및 그 상부의 SiO₂를 리프트 오프하고, 집합부 이외의 부분에 측간 절연막을 형성하였다.

계속해서, 전극 배선의 형성 영역 이외의 영역을 피복하는 레지스트 패턴을 형성한 후, 표면을 역선평하여 플리닝하였다. 전면에 Al을 피착한 후, 레지스트 패턴 및 그 상부의 Al을 리프트 오프하여, Al 전극 배선을 형성하였다. 그 후, 저장 중 열 처리로써 도입하고, 핀들에 한방향 이방성을 도입하였다.

시료 T2는 프리층인 CoFe로 이루어지는 제2 강자성층의 막 두께를 7nm로 한 것 외에는, 시료 T1과 마찬가지로 함으로써 제작하였다.

시료 T3은 프리층인 CoFe로 이루어지는 제2 강자성층의 막 두께를 17nm로 한 것 외에는, 시료 T1과 마찬가지로 함으로써 제작하였다.

도 36에, 시료 T1, T2 및 T3에 대해, 소자의 집합 폭과 프리층의 반전 자장과의 관계를 나타낸다. 이 도면에서는 필속을 집합 폭의 역수(1/μ)라고 한다. 도 36에 도시된 바와 같이, 어떤 시료라도 집합 폭을 축소시킴에 따라 반전 자장이 증대하고 있다. 이것은, MRAM 응용에서는 집합 폭을 축소시킴에 따라 컷인 시의 소비 전력이 증대하는 것을 의미한다. 그러나, 프리층의 막 두께가 얇은 시료 T1에서는 직성의 컷인 용기가 작고, 집합 폭의 축소에 따르는 반전 자장의 증대가 억제되고 있다. 한편, 프리층의 막 두께가 비교적 두꺼운 시료 T2 및 T3에서는, 집합 폭의 축소에 따르는 반전 자장의 증대가 현저하고, MRAM 응용에 있어서 기압 시의 소비 전력이 현저히 증대할 우려가 있다. 여기서, 현상의 가공 기술로 열처리는 집합 폭 0.25μm(1/μ=4)의 소자에 주목하여 반전 자장을 비교한다. 시료 T1에서는 반전 자장이 1000G보다 작고, 공구 한층 더 미세화에 대응할 수 있다. 한편, 시료 T2 및 T3에서는 반전 자장이 1000G를 넘고, MRAM 응용에서 기압 시의 소비 전력이 이미 높고, 한층 더 미세화에 대응하는 것은 곤란하다.

도 37에 시료 T1, T2 및 T3에 대해, MR 변화율의 인가 전압 의존성을 나타낸다. 또, 이 도면에서는 MR 변화율을 전압 0V일 때의 값으로 규격화하여 나타내고 있다. 프리층의 막 두께가 얇은 시료 T1에서는 MR 변화율의 값이 변이 되는 바이어스 전압 V_b가 0.9V를 넘고, 바이어스 의존성이 억제되고 있다. 한편, 프리층의 막 두께가 비교적 두꺼운 시료 T2 및 T3은 강자성 싱글 터널 접합 소자에 비교하면 바이어스 의존성이 작지만, V_b는 0.8V미만이고, 시료 T1에 비교하여 분명히 뒤떨어진다.

도 36 및 도 37으로부터, 프리층의 두께가 얇아수록, 집합의 미세화에 따르는 반전 자장의 증대가 억제되고, 또한 바이어스 의존성도 개선되는 것을 알 수 있다. 프리층의 두께가 5nm 이하이면, 0.25μm 폭의 소자도 반전 자장이 1000G 이하로 억제되고, 또한 MR 변화율의 바이어스 의존성도 개선된다. 그러나, 프리층의 두께가 1nm 미만이면, 프리층이 연속막이 되지 않고, 유전체층 중에 강자성 입자가 분산한 조위 그래놀라 구조가 될 우려가 있다. 이 결과, 집합 특성의 재료가 곤란해지고, 머릿자의 크기에 따라서는 실제로 초상자성이 되어 MR 변화율이 극단적으로 저하한다는 문제도 생긴다. 따라서, 프리층의 두께는 1~5nm인 것이 바람직하다.

(실시예 8)

Si/SiO₂ 기판 상에 도 14와 같은 구조를 포함하는 MRAM을 제작한 예를 나타낸다. Si 기판(151) 상에 플라즈마 CVD에 의해 SiO₂를 성장하였다. 상감 프로세스를 이용하여 워드선(152)을 형성하였다. 즉, 레지스트를 도포하여 포토리소그래피에 의해 레지스트 패턴을 형성하고, RIE에 의해 SiO₂에 공을 가공하고, 도금법을 이용하여 홈 내에 Cu를 매립한 후, CMP에 의해 평탄화를 행하고, 워드선(152)을 형성하였다. 그

후, 플라즈마 CVD에 의해, 워드선(152) 상에 두께 250nm의 SiO₂층간 절연막을 형성하였다.

이 시료를 스퍼터 장치에 넣고, 초기 진공도를 3×10^{-4} Torr로 설정한 후, Ar를 도입하여 소정의 압력으로 설정하였다. SiO₂층간 절연막 상에, Ta 기층(50nm)/Ni₃Fe₂(5nm)/Ir-Mn₂(12nm)/Co₉₀Fe₁₀(3nm)/Al₂O₃(1nm)/Co₉₀Fe₁₀(2nm)/Ni₃Fe₂(1nm)/Co₉₀Fe₁₀(2nm)/Ru(0.9nm)/Co₉₀Fe₁₀(2nm)/Ni₃Fe₂(1nm)/Co₉₀Fe₁₀(2nm)/Al₂O₃(1nm)/Co₉₀Fe₁₀(3nm)/Ru(0.9nm)/Co₉₀Fe₁₀(2nm)/Ir-Mn₂(12nm)/Ni₃Fe₂(5nm)/Au 보호막을 적층하였다. Al₂O₃은, 순 Ar 가스 속에서 Si 타겟을 이용하여 Si를 성막한 후, 진공을 깨뜨리지 않고 산소를 도입하여 플라즈마 산소에 노출시킴으로써 형성하였다.

상기 적층막 상에 Si₃N₄를 성막하고, 레지스트를 도포하여 포토리소그래피에 의해 레지스트 패턴을 형성하고, RIE에 의해 금속 배선(153)을 규정하는 하드 마스크를 형성한 후, 이온밀링을 행하여, 적층막을 가공하였다. 그 후, 레지스트 패턴을 제거하였다.

이어서, 레지스트를 도포하여 포토리소그래피에 의해 접합 치수를 규정하는 레지스트 패턴을 형성하고, 이온밀링 기술을 이용하여 제1 Al₂O₃보다 상부의 적층막을 가공하여 TMR 소자를 형성하였다. TMR 소자의 셀 사이즈는 전부 $0.4 \times 0.4 \mu\text{m}^2$ 로 하였다. 그 후, 레지스트 패턴을 제거하였다.

계속해서, 플라즈마 CVD에 의해 SiO₂층간 절연막을 성막하고, CMP에 의해 250nm의 두께까지 깎아 평탄화하였다. 전면에 Cu 절연막, 및 Cu를 적층하였다. 이 적층막 상에 Si₃N₄를 성막하고, 레지스트를 도포하여 포토리소그래피에 의해 레지스트 패턴을 형성하고, RIE에 의해 하드 마스크를 형성한 후, 이온밀링을 행하고, 비트선(154), 층간 절연층(155), 및 제2 워드선(156)을 형성하였다. 그 후, 시료를 저장 중 열 처리로 도입하고, 자기 기록층에 일축 이방성을, 자화 고착층에 한방향 이방성을 도입하였다.

얻어진 MRAM에 대해 이하의 3개의 방법으로 기입을 행하였다.

(1) TMR 소자에 1mA의 스핀 전류를 주입하면서, 워드선(152) 및 제2 워드선(156)에 10nsec의 전류 펄스를 흘려 자기 기록층(115)의 용이축 방향 및 곤란축 방향으로 전류 자장을 인가하는 방법.

(2) TMR 소자에의 스핀 전류의 주입만을 행하는 방법.

(3) 워드선(152) 및 제2 워드선(156)에 10nsec의 전류 펄스를 흘려 자기 기록층(115)의 용이축 방향 및 곤란축 방향으로 전류 자장을 인가하는 방법.

또, 자기 기록층(115)의 곤란축 방향으로 전류 자장을 인가하기 위한 전류 펄스는 10nsec, 3mA 일정하게 하였다.

자기 기록층(115)의 자화 반전은, 기입을 행한 후, TMR 셀에 작류 전류를 흘려, 출력 전압이 변화하는지의 여부에 따라 판단하였다.

본 실시예에서의 $0.4 \times 0.4 \mu\text{m}^2$ 라는 사이즈의 TMR 소자에 대해서는, (2)의 TMR 소자에의 스핀 전류의 주입만을 행하는 방법으로는, 전류치를 10mA까지 증가시켜도, 자화 반전은 관측되지 않았다. (3)의 자기 기록층(115)의 용이축 방향 및 곤란축 방향으로 전류 자장을 인가하는 방법으로는, 자기 기록층(115)의 자화 반전을 일으키기 위해서는, 자기 기록층(115)의 용이축 방향으로 전류 자장을 인가하기 위한 전류를 4.3mA까지 증가시킬 필요가 있었다.

이에 대해, (1) 방법으로, 1mA의 스핀 전류를 흘리면서, 자기 기록층(115)의 용이축 방향으로 전류 자장을 인가하기 위한 전류를 증가시킨 바, 2.6mA의 전류치로 자기 기록층(115)의 자화 반전이 확인되었다. 또한, 자기 기록층(115)의 용이축 방향으로 전류 자장을 인가하기 위한 전류의 방향, 및 TMR 소자에 흘리는 스핀 전류의 방향을 비교에 따라, 상기된 바와 같은 작은 전류치대로 자기 기록층(115)의 자화 반전을 반복할 수 있는 것을 알았다.

이와 같이, 본 실시예의 MRAM의 구조 및 기입 방법을 채용하면, 스핀 주입에 적합한 구조를 포함하고, 전류 자계를 인가하기 위한 배선에 흘리는 전류 및 TMR 소자에 흘리는 전류를 작게 할 수 있다. 따라서, MRAM의 고밀도화에 따라 배선 폭 및 TMR 소자 사이즈가 작아져도, 배선의 용융 또는 터널 배리어층의 파괴를 억제할 수 있어, 신뢰성을 향상할 수 있다.

(실시예9)

도 16에 도시된 바와 같은 자기 저항 효과 소자를 제작한 예에 대해 설명한다. 마그네토스퍼터 장치를 이용하여, 열 산화 Si 기판 상에, 10nm의 Ta/10nm의 NiFe로 이루어지는 기층층, 50nm의 IrMn으로 이루어지는 반강자성층(161), 15nm의 Co₉₀Fe₁₀로 이루어지는 제1 강자성층(162), 1.5nm의 Al₂O₃으로 이루어지는 제1 터널 절연층(163), 1.5nm의 Co₉₀Fe₁₀로 이루어지는 제2 강자성층(164), 0.8nm의 Ru로 이루어지는 제1 비자성층(165), 1.5nm의 Co₉₀Fe₁₀로 이루어지는 제3 강자성층(166), 0.8nm의 Ru로 이루어지는 제2 비자성층(167), 2.0nm의 NiFe로 이루어지는 강자성층(168b), 1.5nm의 Co₉₀Fe₁₀로 이루어지는 제4 강자성층(168), 1.5nm의 Al₂O₃으로 이루어지는 터널 절연층(169), 1.5nm의 Co₉₀Fe₁₀로 이루어지는 제5 강자성층(170), 50nm의 IrMn으로 이루어지는 반강자성층(171)을 순차 적층하였다.

이 소자에서는, 제2 강자성층(164), 제1 비자성층(165), 제3 강자성층(166), 제2 비자성층(167), 강자성층(168b), 제4 강자성층(168)으로 자기 기록층(172)이 구성되어 있다. 이 자기 기록층(172)에 있어서는, 제1 비자성층(165)을 통해 제2 및 제3 강자성층(164, 166)이 반강자성 결합하고 있어, 제2 비자성층(167)을 통해 제3 및 제4 강자성층(166, 168)이 반강자성 결합하고 있다. NiFe 강자성층(168b)은, 제3 강자성층(166)의 자화의 값 M3과, 제2 및 제4 강자성층(164, 168)의 자화를 더한 값 M(2+4)를 상호 다르게 하기 위해 설치하고 있다.

모든 막은 진공을 깨뜨리지 않고 형성하였다. 제1 및 제2 터널 절연층(163, 169)을 구성하는 SiO_2 은, Si 금속을 스퍼터한 후, 플라즈마 산화함으로써 형성하였다. 또, 기초층, 제1 반강자성층(161) 및 제1 강자성층(162)은 $100nm$ 폭의 상부 배선 형성의 개구를 갖는 마스크를 통해 성막하였다. 제1 터널 절연층(163)으로 변환되는 세은 접합부 형성의 개구를 갖는 마스크를 통해 성막하였다. 제1 터널 절연층(163)보다 상부의 각 층은 하부 배선으로 직교하는 방향으로 연장되는 $100nm$ 폭의 상부 배선 형성의 개구를 갖는 마스크를 통해 성막하였다. 이들 공정 중에서, 진공 챔버 내에서 이들의 마스크를 교환하였다. 이렇게 해서 접합 면적을 $100 \times 100nm^2$ 로 하였다. 또한, 성막시에 $1000eV$ 의 자계를 인가하여, 막면 내에 일축 이방성을 도입하였다.

이 자기 저항 효과 소자에 대해, 4 단자법을 이용하여 자기 저항을 측정한 바, 각각 약 $100eV$ 의 작은 스위칭 자계로 22%의 자기 저항 변화가 관측되었다. (실시예 10)

포토리소그래피를 이용한 미세 가공에 의해, 실시예 9와 동일한 적층 구조를 포함하지만, 실시예 9보다도 접합 면적이 작은 자기 저항 효과 소자를 제작하였다. 터널 접합의 면적은 $5 \times 5nm^2$, $1 \times 1nm^2$ 또는 $0.4 \times 0.4nm^2$ 로 하였다. 이들의 자기 저항 효과 소자에 대해, 4 단자법을 이용하여 자기 저항을 측정한 바, 각각 $120eV$, $250eV$, $350eV$ 라는 작은 자계로 자기 저항 변화가 관측되었다. 이와 같이, 접합 면적이 작아져도, 스위칭 자계는 그 만큼 현저히 증가하지 않는다. 이것은 자기 기록층으로서 반강자성 결합한 적층 자성 막을 이용하기 때문에, 발생하는 반자계가 소자 사이즈에 그다지 의존하지 않기 때문이라고 생각할 수 있다.

본 발명의 효과

본 발명에 따르면, 원하는 출력 전압치를 얻기 위해 인가 전압을 들리더라도 자기 저항 변화율이 그다지 감소하지 않고, 기압으로 인해 자화 고착을 일부의 자기 모멘트가 회전하여 돌림이 서서히 저항하는 문제도 없으며, 또한 강자성층의 모멘트를 반전시키기 위한 반전 자장을 자유롭게 설계할 수 있는 터널 접합 및 자기 저항 효과 소자 및 자기 메모리 장치를 구현할 수 있다.

본 발명에 따르면, 메모리셀의 축소에 따르는 자기 기록층의 자화를 반전시키기 위한 반전 자장의 증가를 억제할 수 있는 터널 접합형 자기 저항 효과 소자 및 자기 메모리 장치를 구현할 수 있다.

본 발명에 따르면, 소위 주입에 적합한 구조를 포함하고 배선 및 TMR 소자에 흐르는 전류 밀도를 억제할 수 있는 자기 메모리 장치 및 이러한 자기 메모리 장치에의 기입 방법을 제공할 수 있다.

(5) 청구의 범위

청구항 1

자기 저항 효과 소자에 있어서,

제1 반강자성층/제1 강자성층/제1 유전체층/제2 강자성층/제2 유전체층/제3 강자성층/제2 반강자성층이 적층된 강자성 이중 터널 접합을 포함하고,

상기 제2 강자성층이 Co 기 합금 또는 Co 기 합금/ $Ni-Fe$ 합금/ Co 기 합금으로 구성된 3층막으로 이루어지며,

상기 제1 내지 제3 강자성층에 터널 전류가 흐르는 것을 특징으로 하는 자기 저항 효과 소자,

청구항 2

제1항에 있어서, 상기 Co 기 합금 또는 Co 기 합금/ $Ni-Fe$ 합금/ Co 기 합금으로 구성된 3층막의 막 두께가 $1 \sim 5nm$ 인 것을 특징으로 하는 자기 저항 효과 소자.

청구항 3

제1항에 기재된 자기 저항 효과 소자 및 트랜지스터 혹은 다이오드를 포함하는 메모리셀이 어레이형으로 배치되어 있는 것을 특징으로 하는 자기 메모리 장치.

청구항 4

제3항에 있어서, 상기 자기 저항 효과 소자 중 적어도 최상층의 반강자성층이 비트선의 일부를 구성하는 것을 특징으로 하는 자기 메모리 장치.

청구항 5

자기 저항 효과 소자에 있어서,

제1 강자성층/제1 유전체층/제2 강자성층/제1 반강자성층/제3 강자성층/제2 유전체층/제4 강자성층이 적층된 강자성 이중 터널 접합을 포함하고,

상기 제1 및 제4 강자성층이 Co 기 합금 또는 Co 기 합금/ $Ni-Fe$ 합금/ Co 기 합금으로 구성된 3층막으로 이루어지며,

상기 제1 내지 제4 강자성층에 터널 전류가 흐르는 것을 특징으로 하는 자기 저항 효과 소자,

청구항 6

제5항에 있어서, 상기 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막의 막 두께가 1~5nm 인 것을 특징으로 하는 자기 저항 효과 소자.

청구항 7

제5항에 기재된 자기 저항 효과 소자 및 트랜지스터 혹은 다이오드를 포함하는 메모리셀이 어레이형으로 배치되어 있는 것을 특징으로 하는 자기 메모리 장치.

청구항 8

자기 저항 효과 소자에 있어서,

제1 반강자성층/제1 강자성층/제1 유전체층/제2 강자성층/제2 반강자성층 /제3 강자성층/제2 유전체층/제4 강자성층/제3 반강자성층이 적층된 강자성 미중 터널 접합을 포함하고,

상기 제1 및 제4 강자성층 혹은 상기 제2 및 제3 강자성층이 Co 기 합금 혹은 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지며,

상기 제1 내지 제4 강자성층으로 터널 전류가 흐르는 것을 특징으로 하는 자기 저항 효과 소자.

청구항 9

제5항에 있어서, 상기 Co 기 합금 또는 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막의 막 두께가 1~5nm 인 것을 특징으로 하는 자기 저항 효과 소자.

청구항 10

제8항에 기재된 자기 저항 효과 소자 및 트랜지스터 혹은 다이오드를 포함하는 메모리셀이 어레이형으로 배치되는 것을 특징으로 하는 자기 메모리 장치.

청구항 11

제10항에 있어서, 상기 자기 저항 효과 소자 중 적어도 최상층의 반강자성층이 바트션의 일부를 구성하는 것을 특징으로 하는 자기 메모리 장치.

청구항 12

자기 저항 효과 소자에 있어서,

제1 강자성층/제1 유전체층/제2 강자성층/제1 비자성층/제3 강자성층/제2 비자성층/제4 강자성층/제2 유전체층/제5 강자성층이 적층된 강자성 미중 터널 접합을 포함하고,

상호 인접하는 제2, 제3, 제4 강자성층이 비자성층을 통해 반강자성 결합하고 있고, 상기 제1 및 제5 강자성층이 Co 기 합금 혹은 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막으로 이루어지며,

상기 제1 내지 제5 강자성층에 터널 전류가 흐르는 것을 특징으로 하는 자기 저항 효과 소자.

청구항 13

제12항에 있어서, 상기 Co 기 합금 혹은 Co 기 합금/Ni-Fe 합금/Co 기 합금으로 구성된 3층막의 막 두께가 1~5nm 인 것을 특징으로 하는 자기 저항 효과 소자.

청구항 14

제12항에 기재된 자기 저항 효과 소자 및 트랜지스터 혹은 다이오드를 포함하는 메모리셀이 어레이형으로 배치되는 것을 특징으로 하는 자기 메모리 장치.

청구항 15

자화 방향이 고정된 제1 자화 고정층, 제1 유전체층, 자화 방향이 반전 가능한 자기 기록층, 제2 유전체층 및 자화 방향이 고정된 제2 자화 고정층을 포함하고,

상기 자기 기록층이 자성층, 비자성층 및 자성층으로 구성된 3층막을 포함하고, 상기 3층막을 구성하는 2개의 자성층은 반강자성 결합하며,

상기 2개의 자화 고정층의 유전체층에 접하는 영역의 자화가 실질적으로 반 평행한 것을 특징으로 하는 자기 메모리 장치.

청구항 16

제15항에 기재된 자기 메모리 장치를 구성하는 상기 제1 혹은 제2 자화 고정층을 통해 상기 자기 기록층에 스핀 전류를 공급함과 동시에, 기압을 배전에 전류를 흘려 상기 자기 기록층에 전류 자계를 인가하는 것을 특징으로 하는 자기 메모리 장치로의 가압 방법.

청구항 17

자화 방향이 고정된 제1 자화 고정층, 제1 유전체층, 자화 방향이 반전 가능한 자기 기록층, 제2 유전체층 및 자화 방향이 고정된 제2 자화 고정층을 포함하고,

상기 자기 기록층이 자성층, 비자성층 및 자성층으로 구성된 3층막을 포함하고, 상기 3층막을 구성하는 2개의 자성층이 반강자성 결합하고,

상기 제2 자화 고정층이 자성층, 비자성층 및 자성층의 3층막을 포함하고, 상기 3층막을 구성하는 2개의

자성층이 반강자성 결합하고,

상기 제1 자화 고착층의 길이가 상기 제2 자화 고착층 및 상기 자기 기록층의 길이보다 길게 형성되며,

상기 2개의 자화 고착층의 유전체층에 접하는 영역의 자화가 실질적으로 반 평행한 것을 특징으로 하는 자기 메모리 장치.

형구상 18:

자기 저항 효과 소자에 있어서,

제1 반강자성층/제1 강자성층/제1 터널 절연층/제2 강자성층/제1 비자성층/제3 강자성층/제2 비자성층/제4 강자성층/제2 터널 절연층/제5 강자성층/제2 반강자성층이 적층된 강자성 이중 터널 집합을 포함하고,

제2 및 제3 강자성층이 제1 비자성층을 통해 반강자성 결합하며,

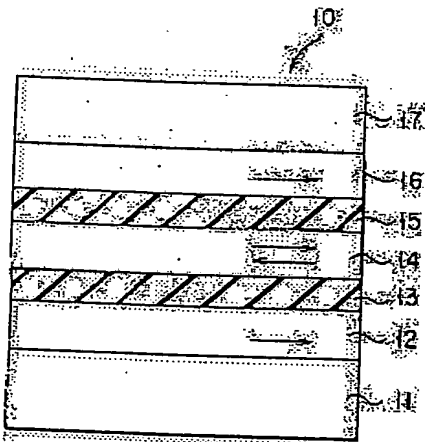
제3 및 제4 강자성층이 제2 비자성층을 통해 반강자성 결합하는 것을 특징으로 하는 자기 저항 효과 소자.

형구상 19:

제18항에 기재된 자기 저항 효과 소자 및 트랜지스터 혹은 다이오드를 포함하는 메모리셀이 어레이형으로 배치되는 것을 특징으로 하는 자기 메모리 장치.

도면

도면 1



도면 2

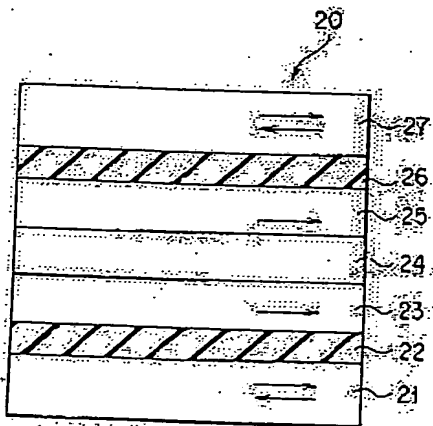


FIG 3

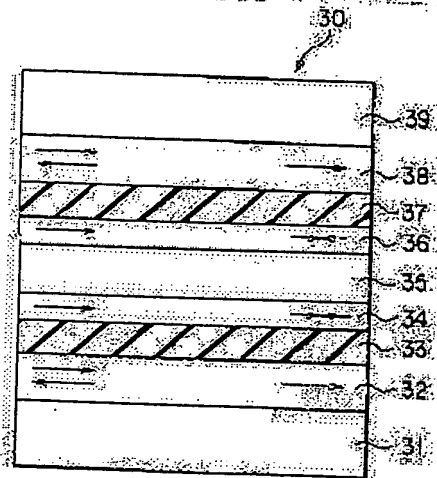


FIG 4

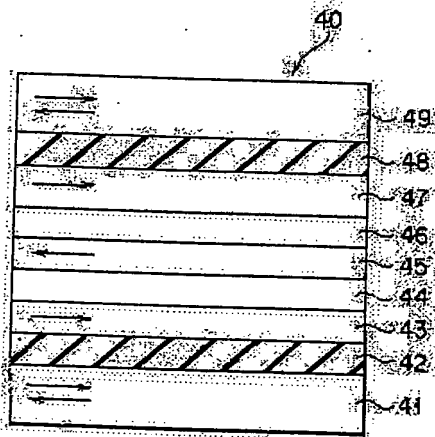


FIG 5

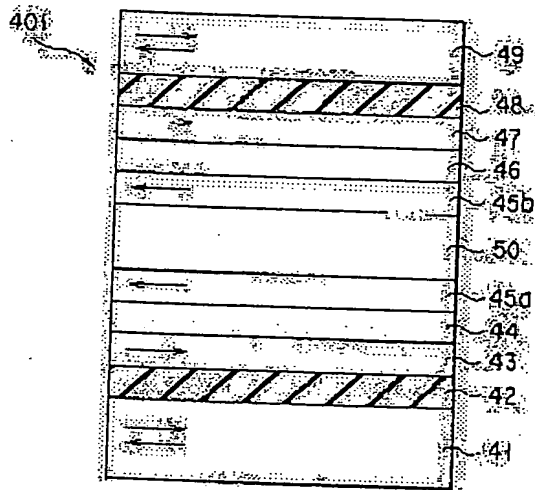


FIG 6

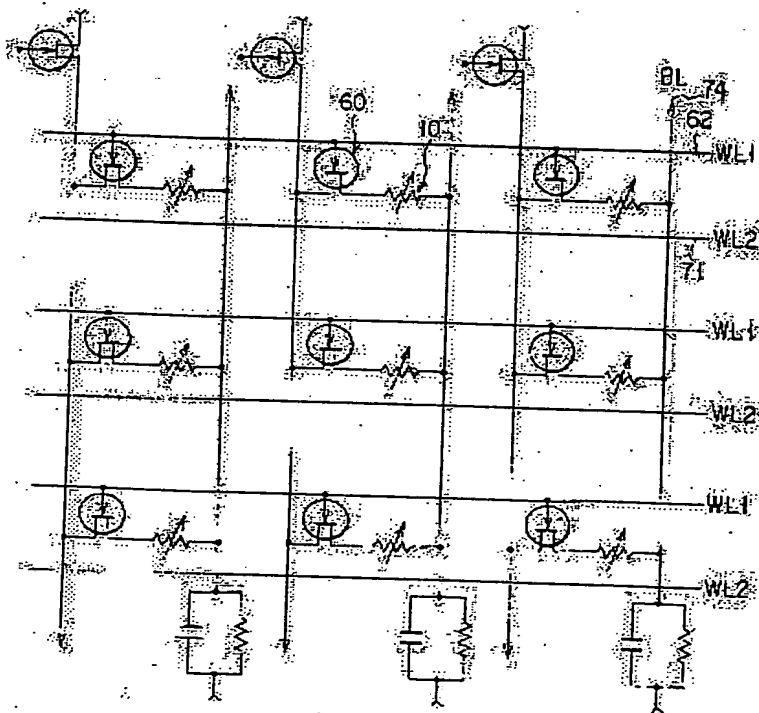


FIG. 9

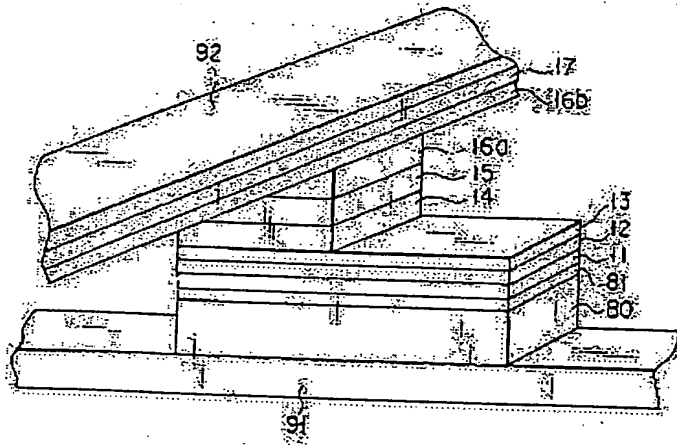


FIG. 10

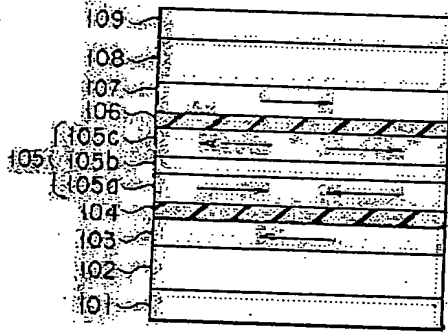
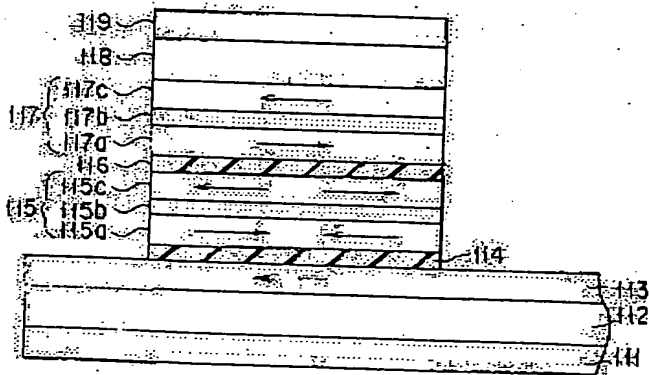
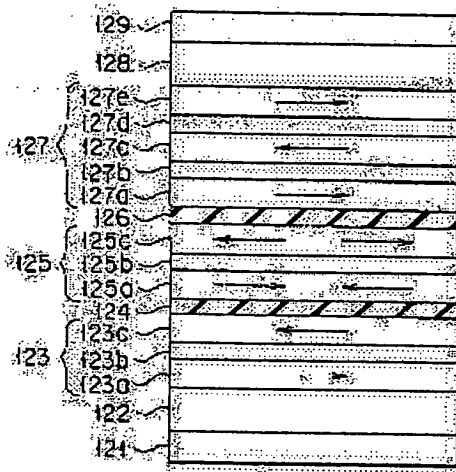


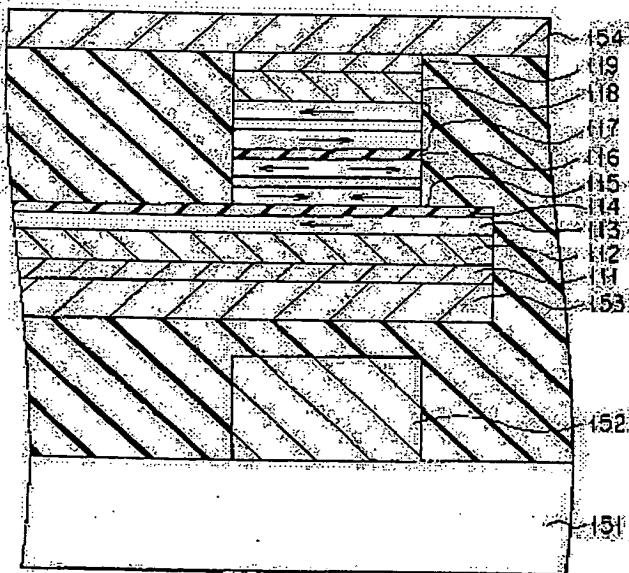
FIG. 11



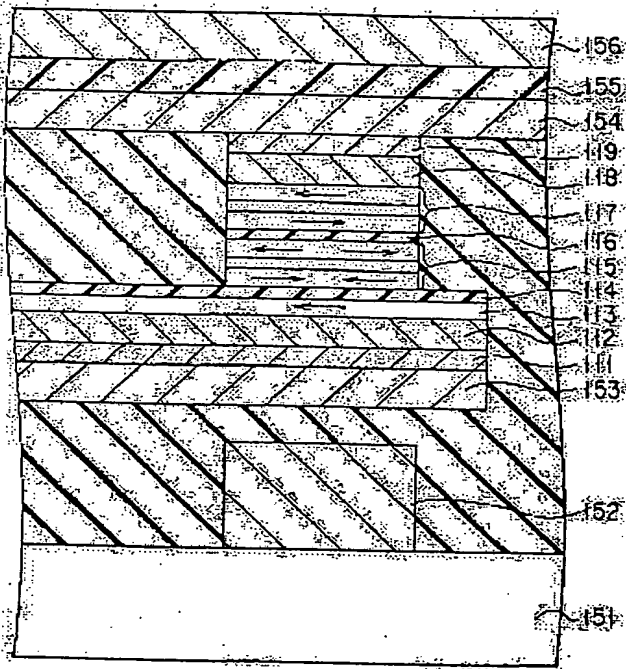
도 12



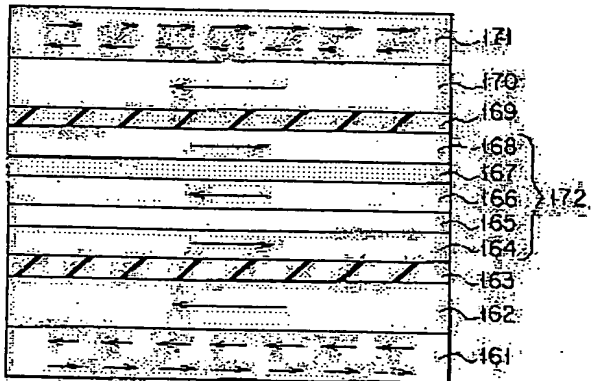
도 13



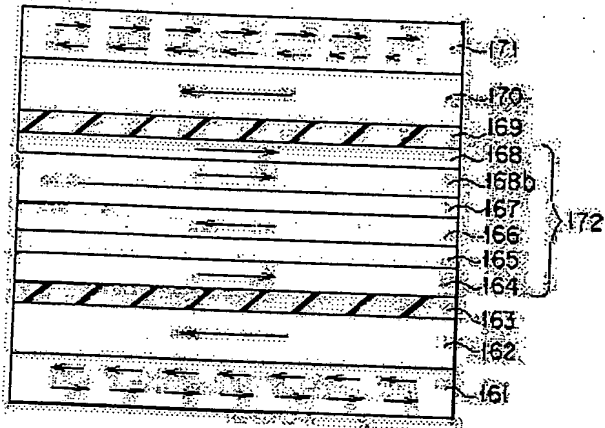
도 14



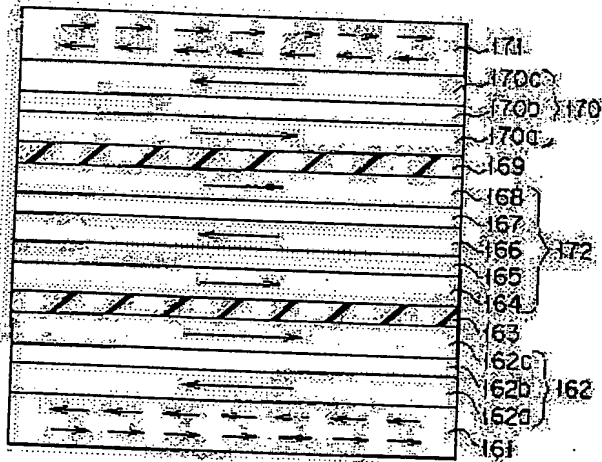
도 15



도 16



도 17



도 18

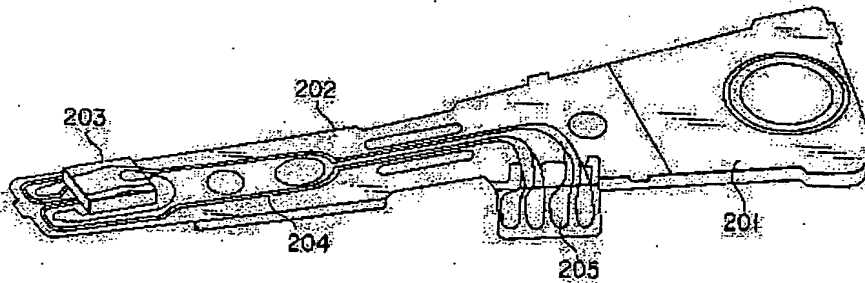


FIG. 19

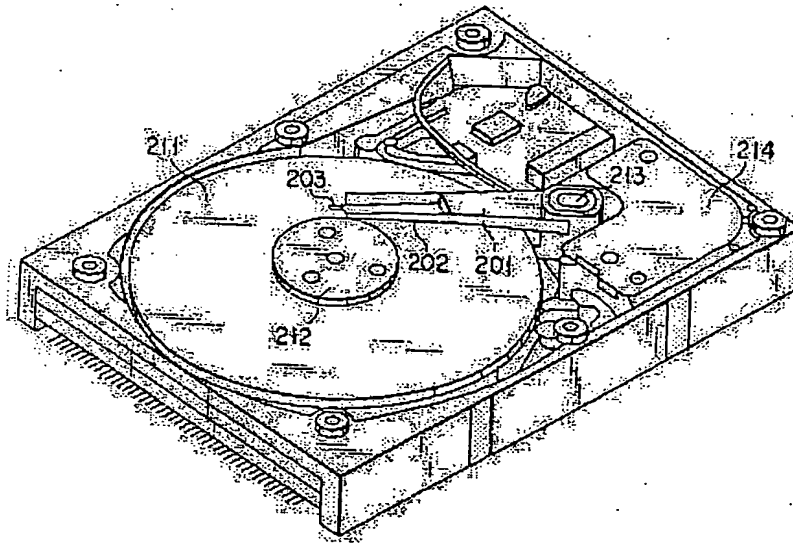
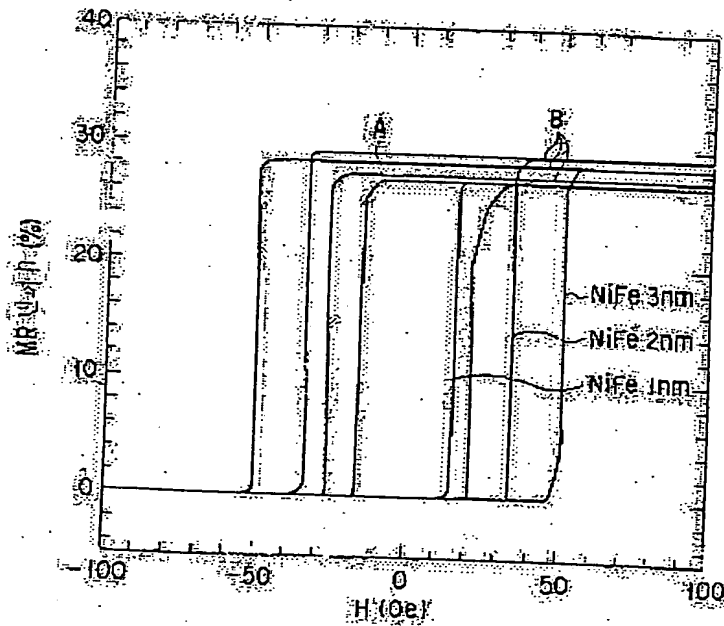
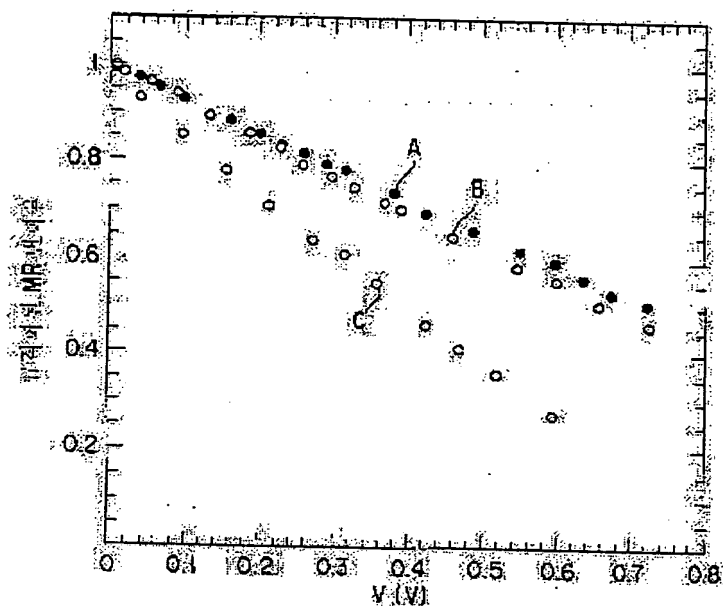


FIG. 20



도 21



도 22

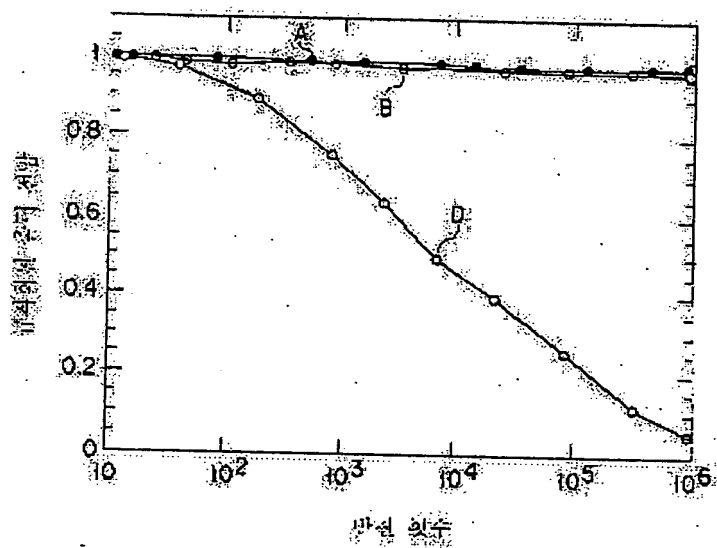


Figure 23

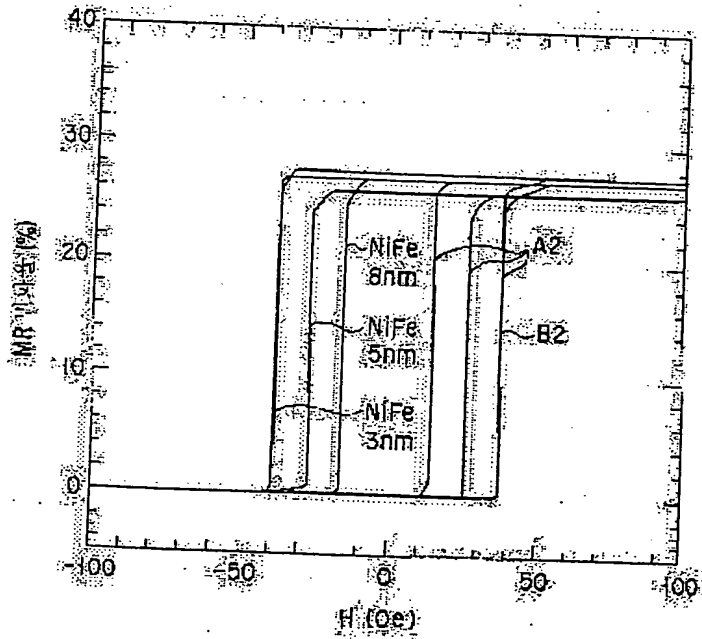
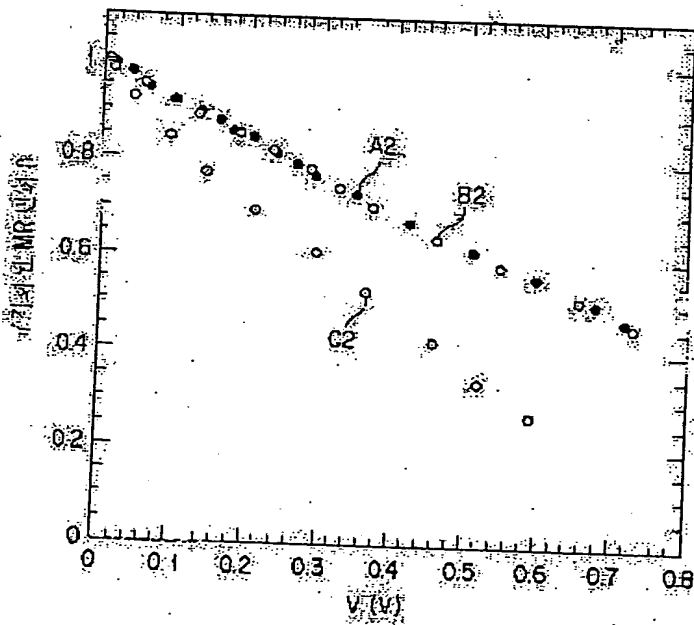
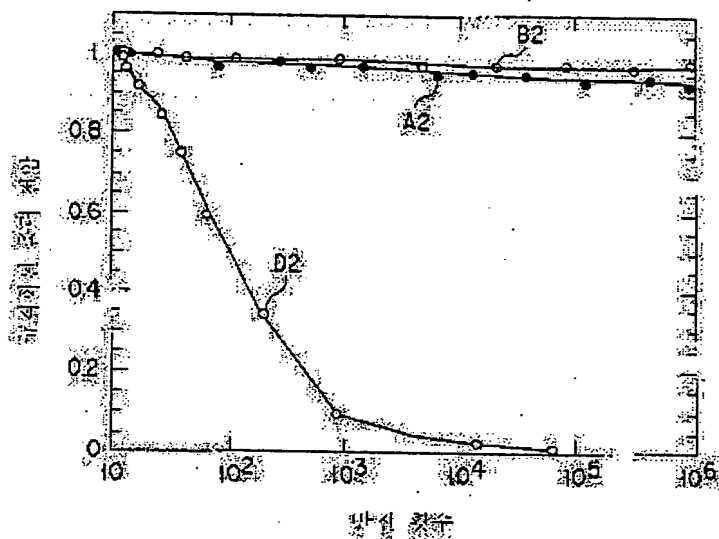


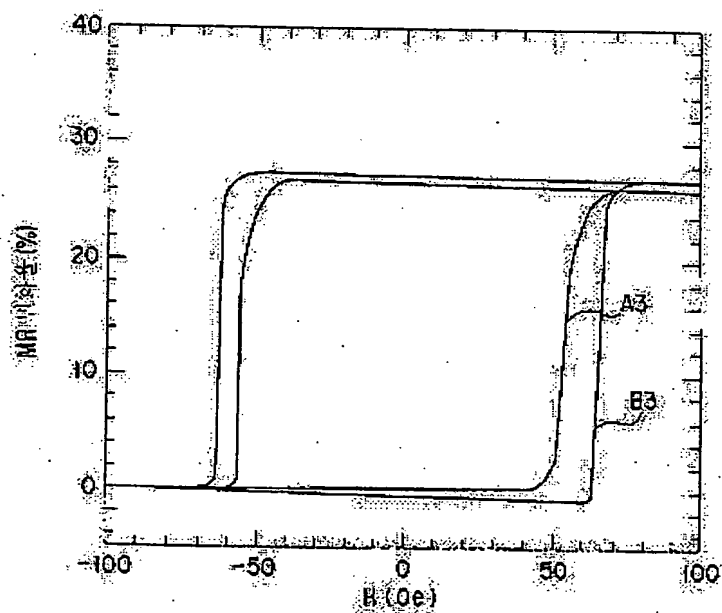
Figure 24



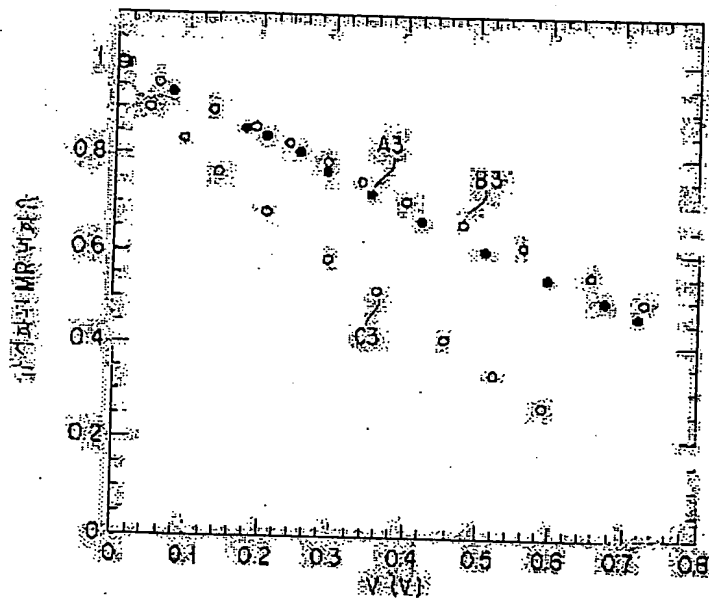
도 25



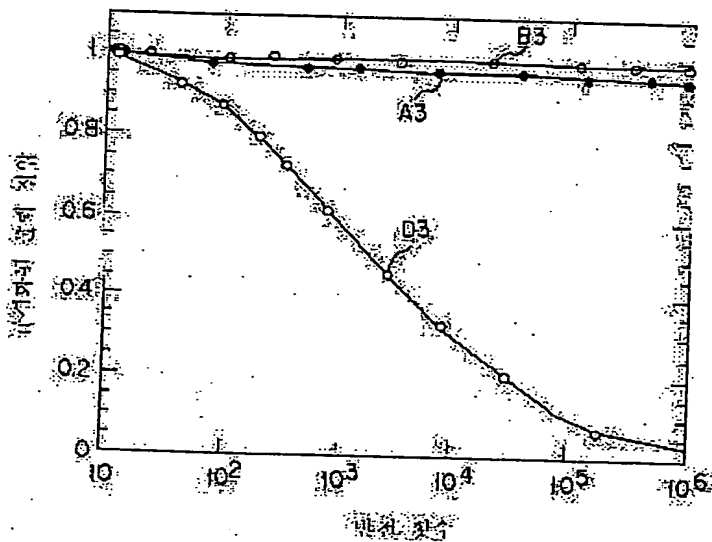
도 26



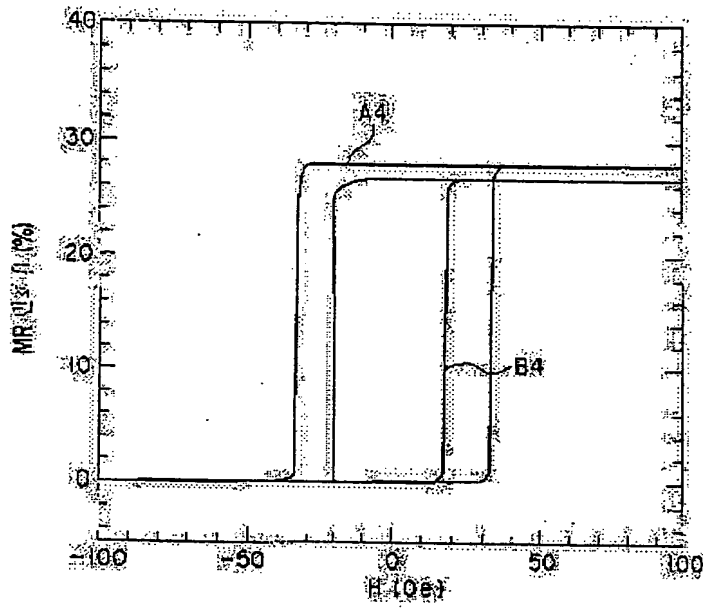
5B27



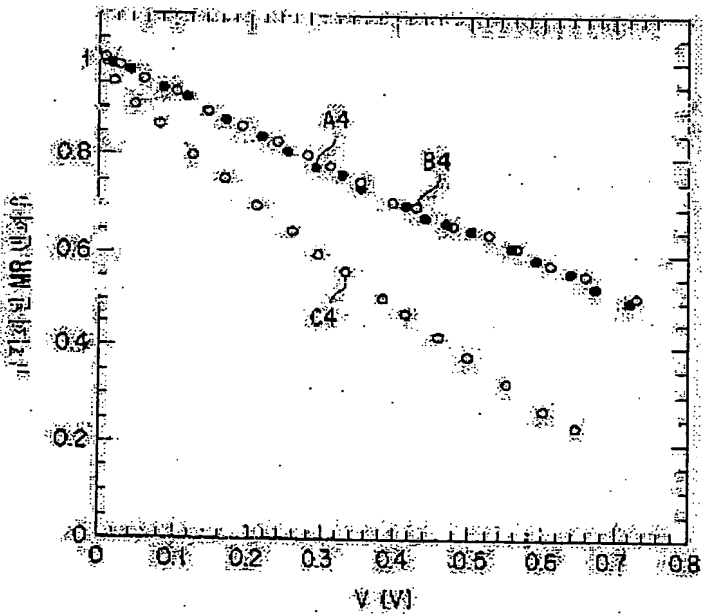
5B28



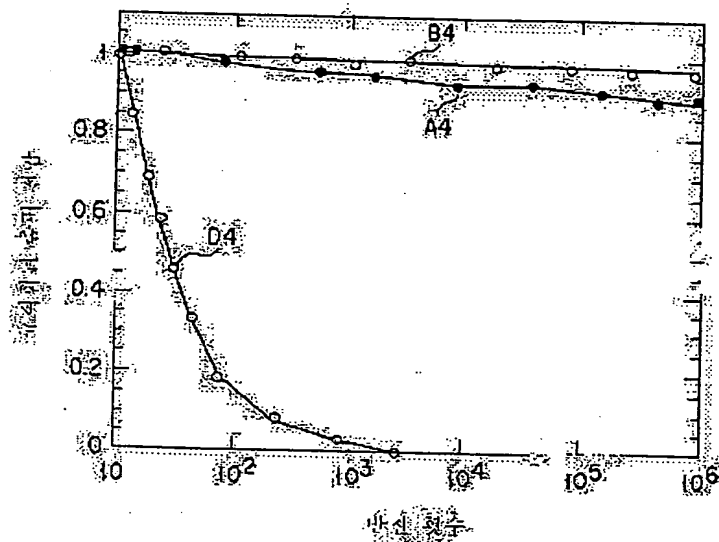
도 29



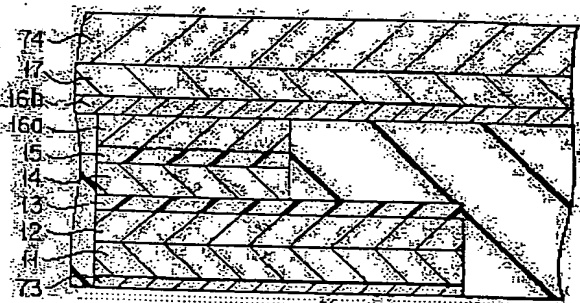
도 30



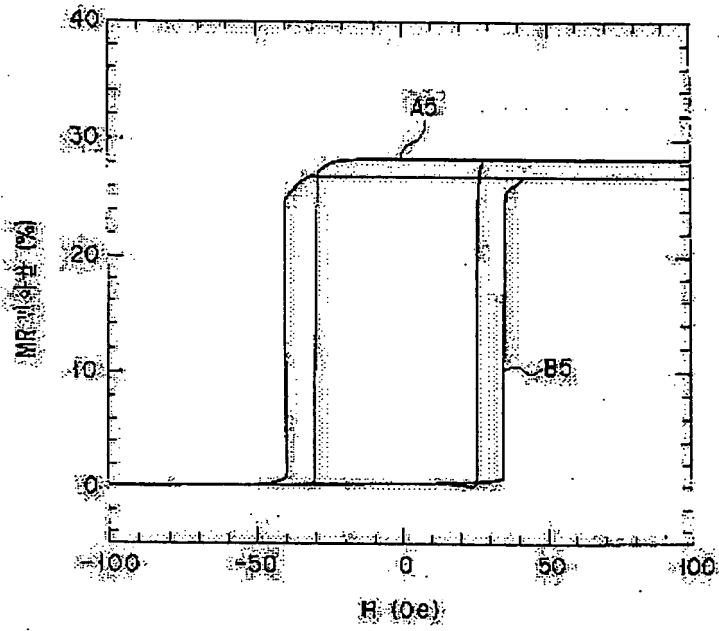
도 31



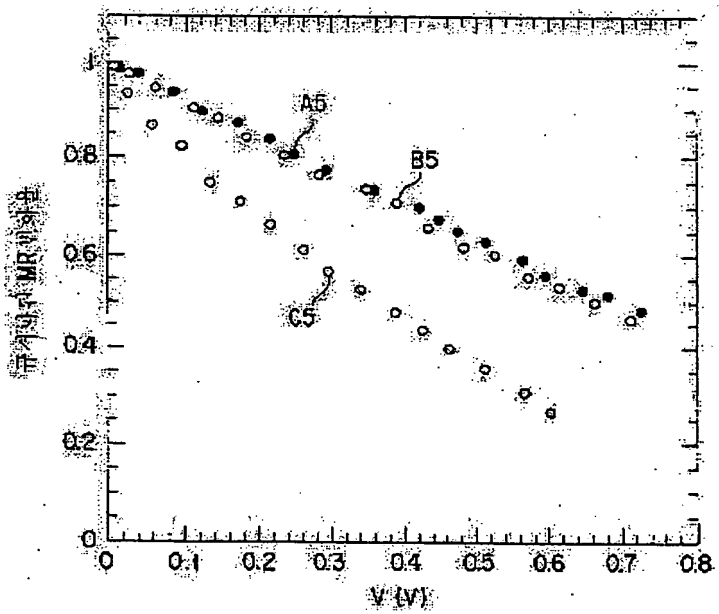
도 32



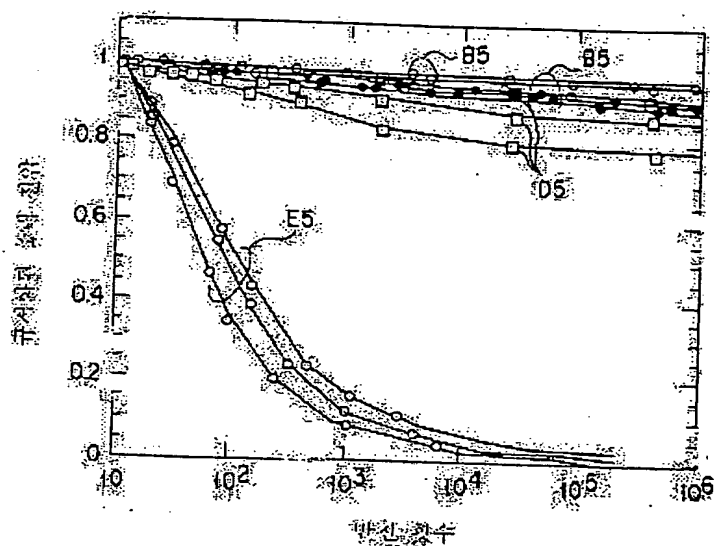
도 33



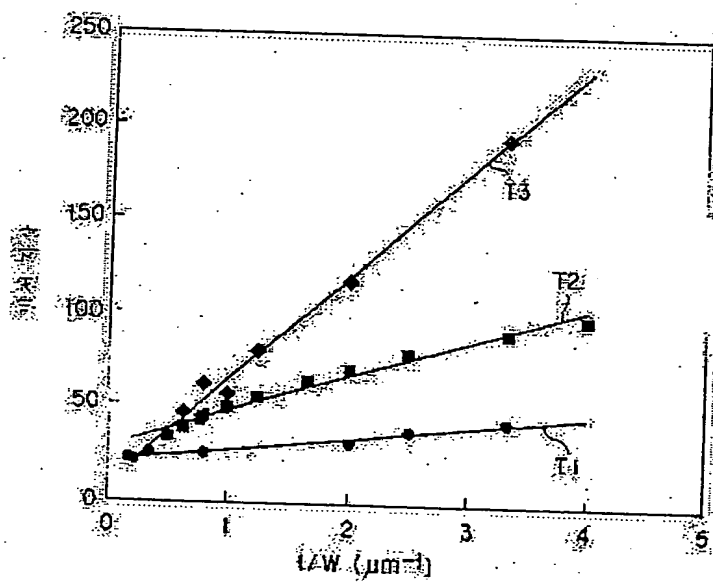
도 34



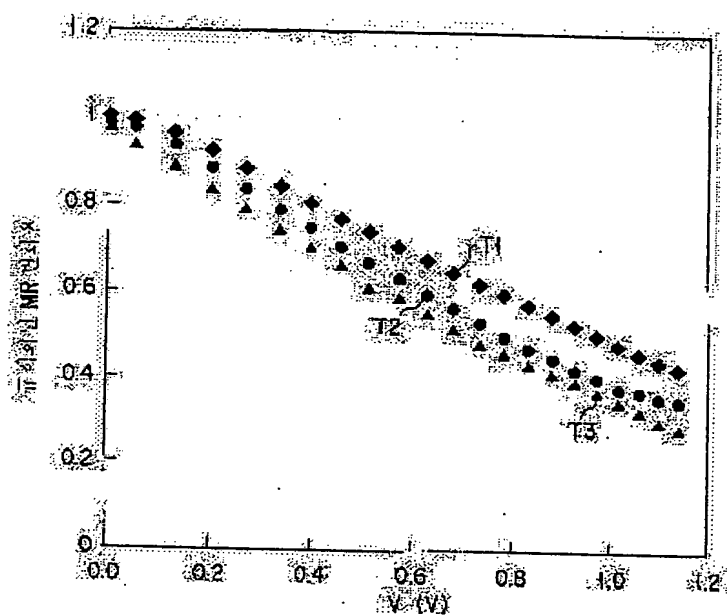
5B35



5B36



5037



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO